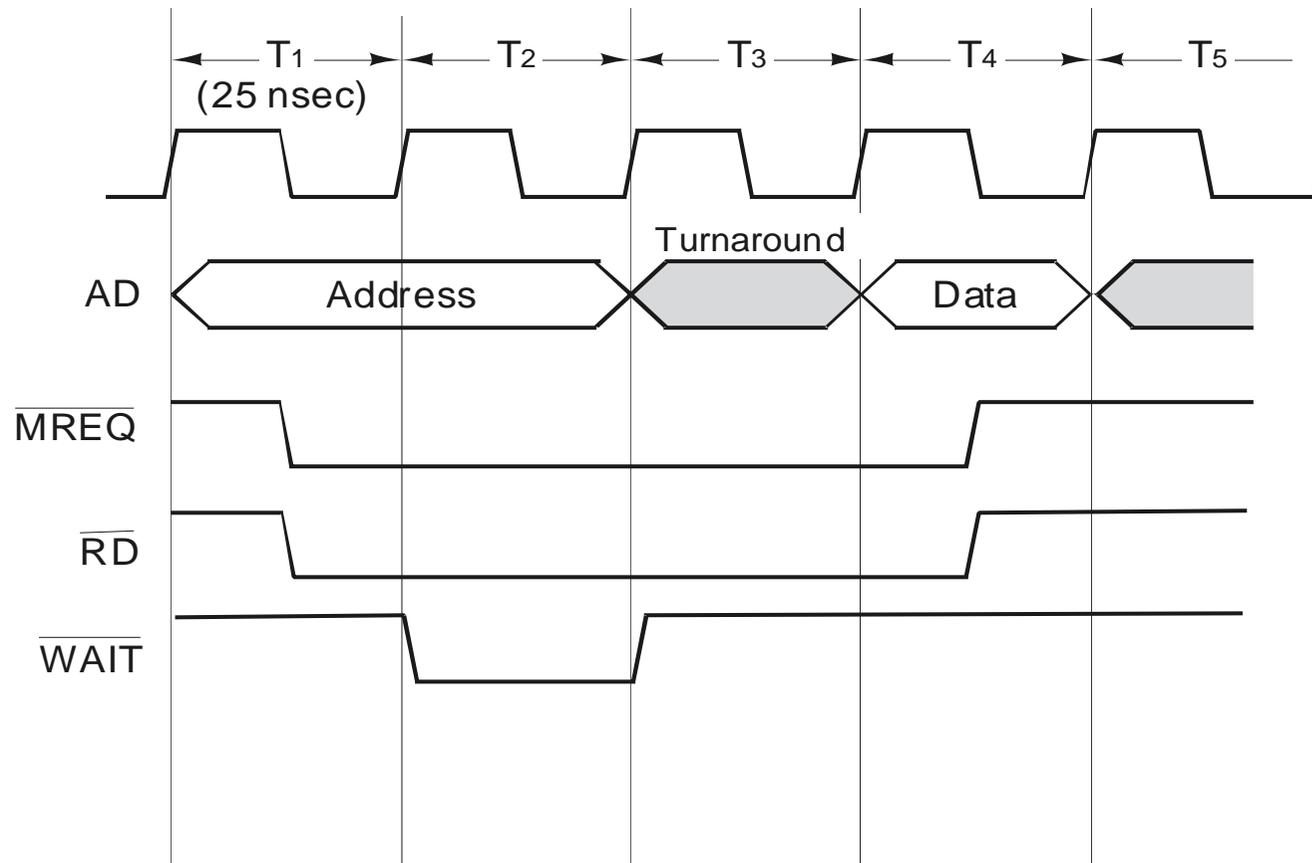


Esercizio su BUS

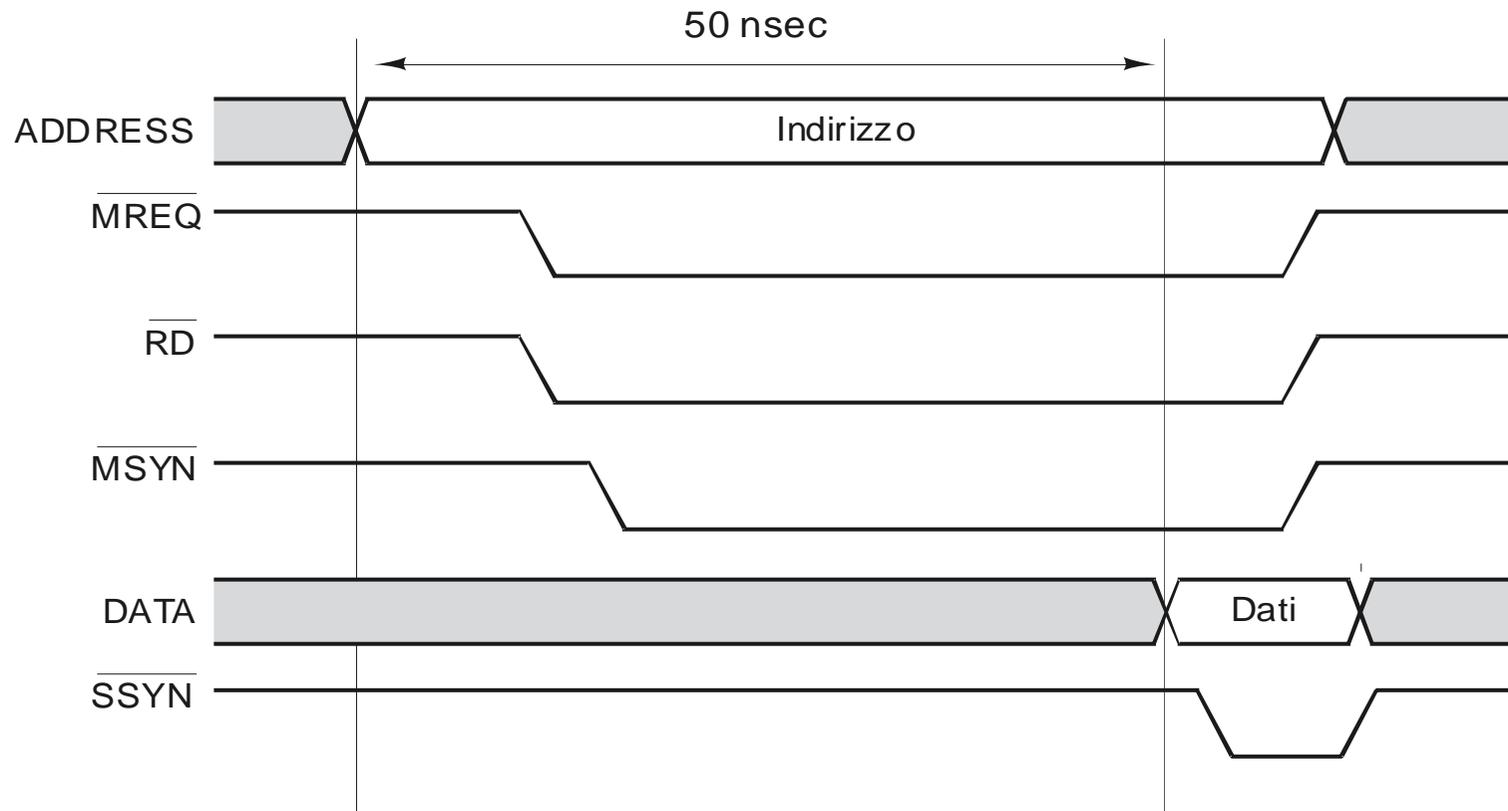
Con riferimento al funzionamento dei bus di un calcolatore:

- tracciare e illustrare il diagramma di temporizzazione di un bus sincrono a 40 Mhz con linee condivise per dati e indirizzi e segnali di MREQ, RD e WAIT, per una lettura da una memoria con un tempo di risposta di 40 nsec
- tracciare e illustrare il diagramma di temporizzazione di un di bus asincrono con linee separate per dati e indirizzi e segnali di MREQ, RD, MSYN e SSYN, per una lettura da una memoria con un tempo di risposta di 50 nsec.

Soluzione esercizio su BUS sincrono



Soluzione esercizio su BUS asincrono



Esercizio sui protocolli di bus

Considerando i protocolli di bus discussi a lezione, indicare le affermazioni esatte tra le seguenti.

- Nel protocollo sincrono, il trasferimento dei dati tra ogni coppia master-slave avviene sempre in un prestabilito ciclo di clock.
- Il protocollo sincrono è più complesso di quello asincrono perché prevede l'handshake completo tra master e slave.
- Nel protocollo sincrono non è possibile che le linee dati e indirizzi siano condivise.
- I block transfer aumentano la banda del bus perchè consentono di trasmettere dati tra lo stesso master e più slave.
- Nel protocollo asincrono il segnale di master synchronization viene negato in risposta a slave synchronization, dopo la lettura dei dati.
- Nel protocollo asincrono il segnale di slave synchronization viene negato in risposta all'asserzione di master synchronization.
- Un segnale asserito basso è negato quando è a V_{CC} .

Esercizio sui protocolli di bus

Considerando i protocolli di bus discussi a lezione, indicare le affermazioni esatte tra le seguenti.

@NO Nel protocollo sincrono, il trasferimento dei dati tra ogni coppia master-slave avviene sempre in un prestabilito ciclo di clock.

@NO Il protocollo sincrono è più complesso di quello asincrono perché prevede l'handshake completo tra master e slave.

@NO Nel protocollo sincrono non è possibile che le linee dati e indirizzi siano condivise.

@NO I block transfer aumentano la banda del bus perché consentono di trasmettere dati tra lo stesso master e più slave.

@SI Nel protocollo asincrono il segnale di master synchronization viene negato in risposta a slave synchronization, dopo la lettura dei dati.

@NO Nel protocollo asincrono il segnale di slave synchronization viene negato in risposta all'asserzione di master synchronization.

@SI Un segnale asserito basso è negato quando è a V_{CC} .

Esercizio sull'arbitraggio di bus

Riferendosi agli schemi di arbitraggio dei bus discussi a lezione, indicare le affermazioni esatte tra le seguenti.

- Nell'arbitraggio decentralizzato non è necessaria la linea che segnala l'occupazione del bus.
- Nell'arbitraggio centralizzato è possibile cambiare i livelli di priorità via software.
- Nell'arbitraggio centralizzato non è possibile che due dispositivi si prenotino contemporaneamente asserendo la linea di request.
- Nell'arbitraggio decentralizzato ai fini delle attese la posizione fisica dei dispositivi è comunque influente.
- Nell'arbitraggio centralizzato a più livelli di priorità un dispositivo può dover attendere un tempo indefinitamente lungo.
- Per motivi di imparzialità l'arbitro è sempre un dispositivo diverso ed esterno al microprocessore.
- La priorità dei dispositivi di I/O è generalmente più alta della CPU.

Esercizio sull'arbitraggio di bus

Riferendosi agli schemi di arbitraggio dei bus discussi a lezione, indicare le affermazioni esatte tra le seguenti.

@NO Nell'arbitraggio decentralizzato non è necessaria la linea che segnala l'occupazione del bus.

@NO Nell'arbitraggio centralizzato è possibile cambiare i livelli di priorità via software.

@NO Nell'arbitraggio centralizzato non è possibile che due dispositivi si prenotino contemporaneamente asserendo la linea di request.

@NO Nell'arbitraggio decentralizzato ai fini delle attese la posizione fisica dei dispositivi è comunque ininfluenza.

@SI Nell'arbitraggio centralizzato a più livelli di priorità un dispositivo può dover attendere un tempo indefinitamente lungo.

@NO Per motivi di imparzialità l'arbitro è sempre un dispositivo diverso ed esterno al microprocessore.

@SI La priorità dei dispositivi di I/O è generalmente più alta della CPU.

Esercizio sull'arbitraggio di bus

Con riferimento agli schemi di arbitraggio dei bus, indicare se le seguenti affermazioni sono vere o false.

- Nell'arbitraggio decentralizzato non è possibile introdurre un meccanismo di priorità.
- Nell'arbitraggio centralizzato l'arbitro conosce di volta in volta quanti dispositivi richiedono l'uso del bus.
- Un arbitraggio centralizzato con una sola linea di richiesta non può gestire priorità.
- Nell'arbitraggio decentralizzato la priorità non dipende dalla posizione fisica dei dispositivi.
- Nell'arbitraggio centralizzato non è necessaria la linea busy che segnala che il bus è impegnato.
- Un arbitraggio decentralizzato non richiede un dispositivo dedicato di arbitraggio.
- Nell'arbitraggio centralizzato può succedere che un dispositivo che non ha richiesto il bus riceva il segnale di grant.
- La priorità della CPU nell'uso del bus è sempre più alta di quella dei dispositivi di I/O.

Esercizio sull'arbitraggio di bus

Con riferimento agli schemi di arbitraggio dei bus, indicare se le seguenti affermazioni sono vere o false.

- @NO Nell'arbitraggio decentralizzato non è possibile introdurre un meccanismo di priorità.
- @NO Nell'arbitraggio centralizzato l'arbitro conosce di volta in volta quanti dispositivi richiedono l'uso del bus.
- @SI Un arbitraggio centralizzato con una sola linea di richiesta non può gestire priorità.
- @NO Nell'arbitraggio decentralizzato la priorità non dipende dalla posizione fisica dei dispositivi.
- @SI Nell'arbitraggio centralizzato non è necessaria la linea busy che segnala che il bus è impegnato.
- @SI Un arbitraggio decentralizzato non richiede un dispositivo dedicato di arbitraggio.
- @SI Nell'arbitraggio centralizzato può succedere che un dispositivo che non ha richiesto il bus riceva il segnale di grant.
- @NO La priorità della CPU nell'uso del bus è sempre più alta di quella dei dispositivi di I/O.

Esercizio

Si vuole realizzare un piccolo calcolatore embedded a 16 bit dotato di una ROM di 4KB, una RAM di 8KB e un dispositivo di I/O memory mapped a cui interfacciarsi tramite una PIO

- Definire gli spazi di indirizzamento dei vari dispositivi a disposizione supponendo di poter utilizzare 16 bit per specificare gli indirizzi;
- Indicare come è possibile ottenere con porte logiche i corretti segnali di chip select a partire dalle linee del bus degli indirizzi;
- Indicare come è possibile semplificare i circuiti determinati al punto B con una decodifica parziale degli indirizzi.

Una soluzione

ROM: 4K (2^{12}) indirizzi

- Scelta:
 - da 0000 0000 0000 0000
 - a 0000 1111 1111 1111
- Distinguibile da i primi 4 bit a 0000

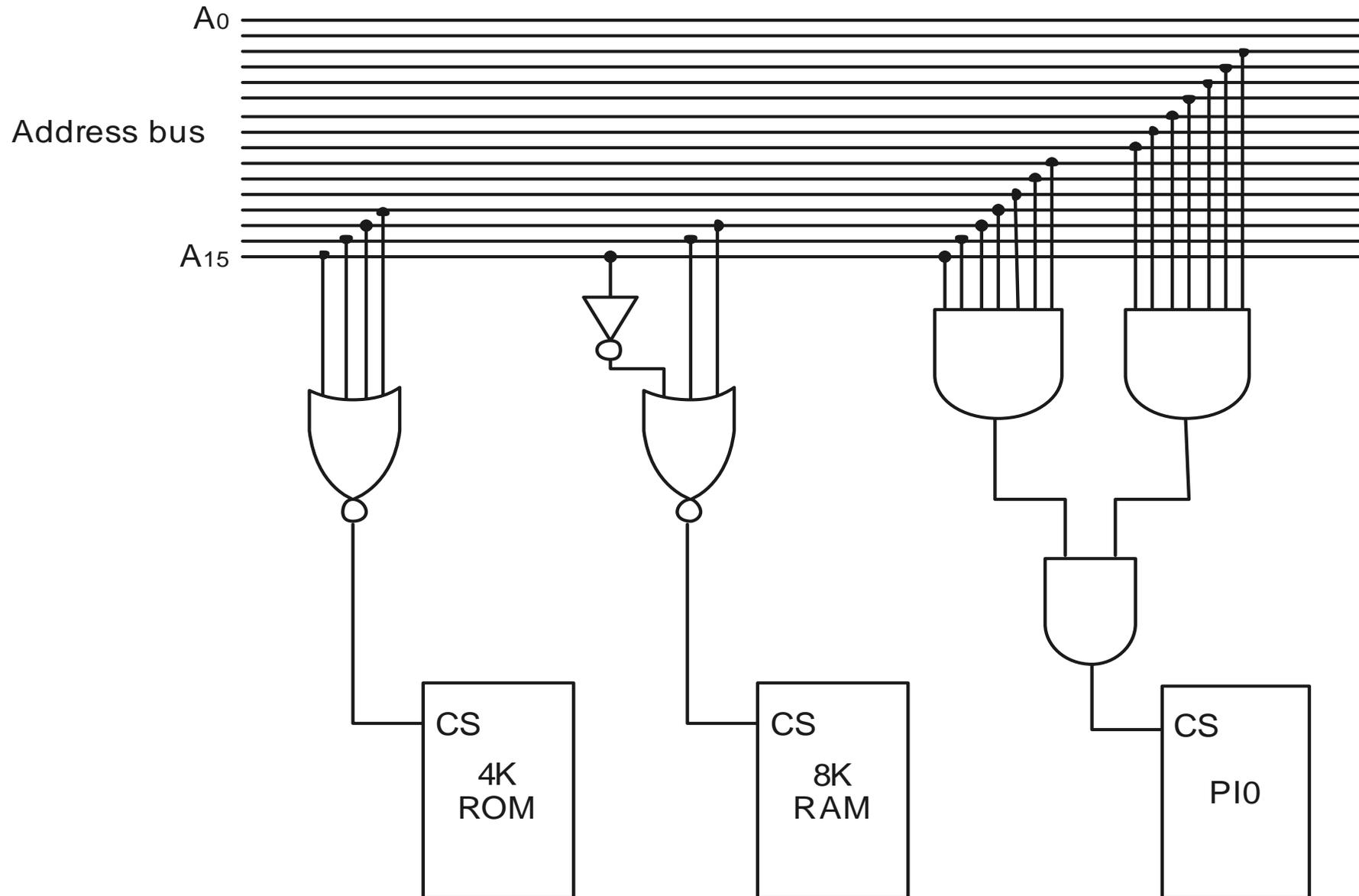
RAM: 8K (2^{13}) indirizzi

- Scelta:
 - da 1000 0000 0000 0000
 - a 1001 1111 1111 1111
- Distinguibile da i primi 3 bit a 100

PIO: 4 indirizzi

- Scelta:
 - da 1111 1111 1111 1100
 - a 1111 1111 1111 1111
- Distinguibile da i primi 14 bit tutti a 1

Decodifica completa



Decodifica parziale

