

**Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)**  
**Esame del 4 luglio 2012 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 1** COGNOME:.....NOME:.....

**1)** (20%) Si vuole realizzare una CPU per una lavastoviglie in grado di eseguire solo istruzioni memorizzate in una ROM interna alla CPU. Tale CPU non fa uso di RAM ed è dotata di: (a) 2 registri *general purpose*, (b) un registro accumulatore, (c) un timer e (d) tre porte di I/O di cui una, di input, per definire mediante una manopola il programma da eseguire e le altre due, di output, per controllare i dispositivi interni alla lavastoviglie. La CPU può eseguire 8 operazioni a numeri interi e consente l'esecuzione di salti: (a) incondizionati e (b) condizionati di tipo JE (jump if equal). Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale (in particolare il data path) di tale CPU secondo i principi RISC e illustrare coincisamente il suo funzionamento;
- B) Definire i segnali di controllo per tale architettura, evidenziando su quali componenti della CPU operano;
- C) Indicare possibili modifiche dell'architettura proposta per poter caricare dati e istruzioni da una memoria RAM.

**2)** (20%) Si vuole realizzare una gerarchia di cache a due livelli per un sistema di indirizzi a 32 bit e una memoria RAM di 2GB: il primo livello è costituito da una cache a 4 vie dotata di 4K slot mentre il secondo livello è costituito da una cache a mappatura diretta di 256K slot. Le cache line hanno una dimensione di 64 byte. Indicare:

- A) la struttura di una slot di cache di primo livello e di una slot di cache di secondo livello, specificando la dimensione dei vari campi in bit e l'ordine di grandezza binario delle dimensioni totali delle due cache;
- B) il numero di collisioni in una slot della cache di primo livello e in una slot della cache di secondo livello (ordine di grandezza binario);
- C) la procedura di ricerca del byte di memoria principale di indirizzo 0000AX32 (dove X è la cifra meno significativa del proprio numero di matricola)

**3)** (20%) Scrivere una subroutine PAL in linguaggio assembler 8088 che, dato una stringa (vettore di caratteri) *S* memorizzata in memoria principale stampa restituisce 1 se la stringa *S* è palindroma (è uguale leggendola nei due versi; per esempio la stringa "anna" è palindroma) e 0 altrimenti. La subroutine ha come parametri l'indirizzo della stringa da verificare e l'indirizzo della locazione di memoria nella quale memorizzare il risultato.

**DOMANDE A RISPOSTA MULTIPLA** (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

**4)** Con riferimento alle architetture dei calcolatori, indicare se le seguenti affermazioni sono vere o false.

- A) Il micro instruction register è sempre più piccolo dell' instruction register.
- B) Uno programma macchina va modificato se si introduce una pipeline nella CPU.
- C) Dopo il caricamento di una istruzione il program counter viene incrementato di uno.
- D) In una architettura superscalare sono presenti più ALU.
- E) In una architettura CISC le istruzioni macchina non vengono eseguite direttamente dall'hardware.
- F) Uno programma macchina va modificato se si introduce una cache nella CPU.
- G) In una architettura multi-core ciascun core può avere più di una pipeline.
- H) In una architettura RISC non è presente il program counter.

**5)** Si consideri un microprocessore in grado di avviare 2 istruzioni per ciclo di clock e che richiede 2 cicli per completare somme e differenze e 3 per completare divisioni e prodotti. Con riferimento al seguente programma macchina: (1)  $R2 = R4 * R1$ ; (2)  $R3 = R5 - R4$ ; (3)  $R8 = R6 / R3$ ; (4)  $R6 = R7 + R1$ ; indicare se le seguenti affermazioni sono vere o false.

- A) L'ordine di avvio delle istruzioni nell'esecuzione con avvio fuori ordine è (1)(2)(3)(4).
- B) L'esecuzione con avvio fuori ordine e ritiro in ordine richiede 9 cicli di clock.
- C) L'ordine di ritiro delle istruzioni nell'esecuzione con ritiro fuori ordine è (2)(1)(4)(3).
- D) Tra l'istruzione (1) e l'istruzione (2) non ci sono vincoli.
- E) L'esecuzione fuori ordine del programma richiede un solo registro segreto.
- F) L'esecuzione con avvio e ritiro fuori ordine richiede 7 cicli di clock.
- G) L'esecuzione con avvio e ritiro in ordine (senza registri segreti) richiede 10 cicli di clock.
- H) L'avvio dell'istruzione (2) richiede l'uso di un registro segreto.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

**Nota bene: continua sul retro del foglio**

### Compito Num. 1

6) Con riferimento al seguente frammento programma di Assembler, indicare se le affermazioni sono vere o false:

```
[...]
PUSH (n) !1
PUSH (p) !2
PUSH a !3
CALL subr !4
[...]
subr: PUSH BP !5
      MOV BX,4(BP) !6
      MOV SI,6(BP) !7
      SHL SI,1 !8
      MOV CX,8(BP) !9
      CMP CX,(BX)(SI) !10
      JNE 1f !11
      MOV AX,1 !12
      JMP 2f !13
1: MOV AX,0 !14
2: POP BP !15
   RET !16
.SECT .DATA
a: .WORD 2,9,8,5,3
p: .WORD 4
n: .WORD 5
```

- A) Il programma verifica che il vettore contenga in quinta posizione il numero 4.
  - B) Se nell'ultima riga si sostituisce 5 con 9 il comportamento del programma sarebbe lo stesso.
  - C) L'istruzione 9 salva in CX il numero 4
  - D) Al termine della subroutine il contenuto di AX vale 1
  - E) SI viene usato come registro indice.
  - F) L'istruzione 6 salva in BX l'indirizzo del vettore a
  - G) L'istruzione 5 non è strettamente necessaria
  - H) L'istruzione 8 moltiplica per 2 il contenuto del registro SI.
- 7) Con riferimento ai linguaggi macchina, indicare se le seguenti affermazioni sono vere o false.
- A) Nell'indirizzamento indiretto a registro è richiesto un solo accesso a memoria per accedere all'operando.
  - B) L'indirizzamento diretto a memoria è meno efficiente dell'indirizzamento indiretto a registro.
  - C) L'indirizzamento a stack non è possibile senza il registro Stack Pointer.
  - D) Nell'indirizzamento che richiede meno bit è quello diretto a registro.
  - E) Nell'indirizzamento immediato viene specificato direttamente l'indirizzo dell'operando.
  - F) Nell'indirizzamento indiretto a registro l'operando si trova in memoria principale.
  - G) L'indirizzamento indicizzato il registro indice contiene l'indirizzo dell'operando.
  - H) Il linguaggio macchina delle macchine SPARC è caratterizzato da istruzioni di lunghezza variabile.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]