

Calcolatori Elettronici – I parte (CdL Ingegneria Informatica)
Esame del 22 luglio 2013 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si consideri una sistema di rappresentazione binaria in virgola mobile a n bit, di cui si usano (nell'ordine da sinistra a destra): 1 bit per il segno (0 =positivo), e bit per l'esponente, che è rappresentato in eccesso a 2^{e-1} , e $n - e - 1$ bit per la parte frazionaria della mantissa che è normalizzata tra 1 e 2. Sia X la cifra meno significativa non nulla del vostro numero di matricola.

- (A) Indicare l'ordine di grandezza binario (massima potenza di 2) dei seguenti numeri: a espresso in eccesso a 2^{+11} dalla stringa esadecimale 83X, b espresso in complemento a uno dalla stringa esadecimale FE3X, e c espresso in complemento a due dalla stringa esadecimale FFDX;
- (B) Calcolare il valore minimo di n che consente di rappresentare tutti i numeri a , b e c al punto A nella notazione in virgola mobile sopra indicata senza commettere errori di rappresentazione, mostrando la loro rappresentazione nel sistema individuato;
- (C) Indicare gli intervalli di rappresentazione della notazione in virgola mobile individuata al punto B;
- (D) Calcolare il numero $d = a + b$ e rappresentarlo nel sistema di rappresentazione individuato al punto B, indicando l'errore assoluto che si commette.

2) (20%) Fornire lo schema di un circuito combinatorio che implementa una piccola ALU avente due operandi in ingresso da 2 bit ($A=A_1A_0$ e $B=B_1B_0$). Tale ALU deve essere in grado di svolgere, in base al valore di due segnali di controllo, le seguenti operazioni: (a) il complemento a 1 dell'operando A (segnali di controllo: 00), (b) il test $A=B$ (segnali di controllo: 01), (c) il test $A \neq B$ (segnali di controllo: 01) e (d) la somma di A e B con eventuale riporto (segnali di controllo: 11). È possibile utilizzare componenti predefiniti noti quali decodificatori e full adder.

3) (20%) Si consideri un bus sincrono con linee separate per dati e indirizzi dotato dei segnali di controllo MREQ, RD e WAIT e una memoria con un tempo di risposta di 40 nsec dal momento in cui l'indirizzo è disponibile sul bus.

- A) Individuare la frequenza di funzionamento del bus che consente di completare una operazione di lettura in memoria con un solo periodo di asserimento del segnale WAIT;
- B) tracciare e illustrare il diagramma di temporizzazione di una lettura in memoria alla frequenza di funzionamento calcolata al punto A;
- C) tracciare e illustrare il diagramma di temporizzazione di una lettura in memoria alla frequenza di funzionamento calcolata al punto A supponendo però che le linee per i dati e gli indirizzi siano condivise.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4) Con riferimento ai codici a rilevazione e correzione di errore, indicare se le seguenti affermazioni sono vere o false.
 - A) Per aumentare la distanza di Hamming di un codice bisogna per forza aggiungere dei bit di controllo.
 - B) Non è possibile rilevare errori in un codice con distanza di Hamming pari a 1.
 - C) Per correggere 4 errori di 1 bit in un codice occorre una distanza di Hamming pari a 5.
 - D) Un errore su 3 bit su un codice con distanza di Hamming pari a 3 può non essere rilevato.
 - E) Con una distanza di Hamming pari a 6 è possibile correggere errori di 2 bit.
 - F) Due codifiche di n bit di cui una è il complemento a uno dell'altra hanno una distanza di Hamming pari a n .
 - G) Una codifica che ha il bit di parità pari 0 è valida.
 - H) Per rilevare un errore su 1 bit è sufficiente aggiungere 1 bit di controllo.
- 5) Con riferimento ai dispositivi di memoria secondaria, indicare se le seguenti affermazioni sono vere o false.
 - A) Sui cavi SCSI i dati vengono trasmessi in parallelo.
 - B) Nelle stampanti laser l'immagine da stampare viene generata da un fascio laser direttamente sul foglio.
 - C) Nei dischi ATAPI basati su tecnologia SATA la trasmissione dei dati avviene serialmente.
 - D) Le unità a stato solido non sono dotate di supporti magnetici.
 - E) Nei touch screen resistivi si sfrutta la capacità del corpo umano di condurre e accumulare cariche elettriche.
 - F) Negli schermi LCD la sorgente luminosa è generata da cristalli liquidi.
 - G) Non è possibile realizzare un'unità RAID con un solo disco.
 - H) Tutte le configurazioni RAID introducono ridondanze.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Si consideri un programma che usa una variabile X in 5 istruzioni e una variabile Y in 10 istruzioni e che viene eseguito su una CPU dotata di una cache con tempo di accesso di 1 nsec e una memoria con tempo di accesso di 20 nsec. Indicare se le seguenti affermazioni sono vere o false.
- A) Il secondo accesso alla variabile Y richiede 1 nsec.
 - B) Il cache hit ratio della variabile X è dell'80%.
 - C) Il primo accesso alla variabile Y richiede 20 nsec.
 - D) Il tempo medio di accesso alla variabile Y è di 3 nsec.
 - E) Il primo accesso alla variabile X richiede 20 nsec.
 - F) Il tempo medio di accesso alla variabile X è di 5 nsec.
 - G) Il cache hit ratio della variabile Y è del 90%.
 - H) Il quarto accesso alla variabile X richiede 1 nsec.
- 7) Considerando una CPU con architettura RISC, 12 stati di pipeline e un clock di 2,5 Ghz e supponendo di lavorare in condizioni ideali (assenza di stalli), indicare se le seguenti affermazioni sono vere o false.
- A) Se nella pipeline si aggiungono due stadi il tempo di esecuzione di un'istruzione non cambia.
 - B) Il tempo di esecuzione di una istruzione è inferiore a 5 nsec.
 - C) Un programma di 4 istruzioni richiede 6 nsec per essere eseguito.
 - D) In condizioni ideali si completa a regime una istruzione ogni mezzo nsec.
 - E) L'ampiezza di banda della CPU è di 2500 MIPS.
 - F) Se la frequenza di clock scende a 2 Ghz il tempo di esecuzione di una istruzione è superiore a 5 nsec.
 - G) Se si aggiunge un'altra pipeline identica che lavora in parallelo l'ampiezza di banda raddoppia.
 - H) Se nella pipeline si eliminano due stadi l'ampiezza di banda della CPU diminuisce.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]