

Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)
Esame del 27 settembre 2010 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si vuole realizzare una CPU a 32 bit dotata di due registri *general purpose*, due coppie di registri per il trasferimento di dati e istruzioni da/per la memoria e in grado di eseguire 16 operazioni aritmetiche diverse. La CPU deve avere una architettura superscalare, essendo dotata di due pipeline parallele da cinque stadi ciascuna di cui uno dedicato al pre-fetching delle istruzioni macchina e un altro allo scheduling delle operazioni macchina da eseguire in parallelo (entrambi visti come scatole nere). Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale (in particolare il data path) di tale CPU (comprensiva dei segnali di controllo) secondo i principi RISC e illustrare coincisamente il suo funzionamento.
- B) Descrivere, possibilmente in maniera grafica, cosa succede in cinque cicli di clock consecutivi nei vari stadi delle pipeline.
- C) Dire brevemente come è possibile sfruttare il parallelismo a disposizione della CPU progettata per migliorare le prestazioni della CPU.

2) (20%) Si assuma di avere una macchina con 10 registri ufficiali (da R0 a R9) e sufficienti registri segreti in grado di avviare 2 istruzioni per ciclo di clock. Tale macchina richiede 3 cicli di clock per completare somme e differenze e 4 cicli di clock per completare divisioni e prodotti. Si consideri la seguente sequenza di istruzioni (dove X è la cifra meno significativa non nulla del proprio numero di matricola):

(1) $R2 = R4 + R1$; (2) $R3 = R1 * R2$; (3) $RX = R3 - R1$; (4) $R5 = RX / R3$;

Indicare le istruzioni avviate e ritirate in ogni ciclo di clock (dall'inizio al termine dell'esecuzione del programma) secondo le seguenti strategie di esecuzione: (A) avvio e ritiro in ordine (senza registri segreti); (B) avvio fuori ordine e ritiro in ordine; (C) avvio e ritiro fuori ordine. Fornire per ciascuno dei casi una spiegazione di ciò che succede in ogni ciclo con riferimento ai vincoli tra le istruzioni.

3) (20%) Scrivere un programma in linguaggio assembleativo 8088 che, dato un numero memorizzato in memoria principale, calcola il fattoriale del numero ($n! = n \times (n-1) \times \dots \times 1$) ponendo il risultato in una locazione di memoria.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4) Con riferimento alle memorie presenti in un calcolatore, indicare se le seguenti affermazioni sono vere o false.
 - A) Utilizzando una politica *write through* i dati nella cache L1 sono sempre allineati con quelli in memoria.
 - B) In un calcolatore la dimensione di una memoria cache di secondo livello (L2) è paragonabile a quella della memoria principale.
 - C) Se un blocco è presente nella cache di secondo livello una copia del blocco è presente anche nella cache di primo livello.
 - D) La memoria cache di primo livello (L1) dei Pentium contenente le istruzioni è accessibile dalla CPU in sola lettura.
 - E) Nel Pentium ogni singolo processo vede uno spazio di indirizzamento virtuale pari a 1GB.
 - F) Nella memoria principale dati ed istruzioni hanno il medesimo spazio di indirizzamento.
 - G) Un blocco di memoria presente nella cache di primo livello (L1) è sempre sempre una copia esatta del relativo blocco in memoria centrale.
 - H) Il tempo di accesso ai dati in memoria principale (tipo DRAM) è dell'ordine dei millisecondi.

5) Con riferimento al seguente frammento programma di Assembler, indicare se le affermazioni sono vere o false:

```
.SECT .TEXT
MOV CX, a-x
MOV BX, a
SHR CX, 1
MOV AX, (x)
MOV SI, 0
1: CMP (BX)(SI), AX
JG 2f
ADD SI, 2
LOOP 1b
MOV DX, 0
JMP 3f
2: MOV DX, 1
3: ...
.SECT .DATA
a: .WORD 3,4,7,11,3
x: .WORD 12
```

- A) x denota una locazione di memoria di 2 byte
- B) Il programma termina dopo aver raggiunto l'ultimo elemento del vettore
- C) Alla fine dell'esecuzione del programma il registro DX contiene 0
- D) L'istruzione `SHR CX, 1` divide per 2 il contenuto di CX
- E) Il programma verifica che tutti i valori del vettore siano inferiori a 12
- F) BX viene utilizzato come registro contatore
- G) SI viene utilizzato come registro indice
- H) CX contiene la dimensione del vettore a

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Con riferimento ai linguaggi macchina, indicare se le seguenti affermazioni sono vere o false.
- A) Nell'indirizzamento indiretto a registro l'operando si trova in memoria principale.
 - B) Il linguaggio macchina delle macchine Pentium è caratterizzato da istruzioni di lunghezza fissa.
 - C) L'indirizzamento indiretto a registro richiede meno bit dell'indirizzamento diretto a memoria.
 - D) L'indirizzamento SIB (Scale, Base, Index) del Pentium viene generalmente utilizzato per operare su vettori.
 - E) Nell'indirizzamento a stack viene specificato nell'istruzione l'indirizzo dell'elemento affiorante dello stack.
 - F) Nell'indirizzamento immediato viene specificato nell'istruzione l'indirizzo di memoria che contiene l'operando.
 - G) Nell'indirizzamento diretto a registro si specifica l'indirizzo di un registro che contiene l'operando.
 - H) L'indirizzamento a registro richiede un solo accesso a memoria principale.
- 7) Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) La tavola di predizione dei salti si memorizza in memoria principale.
 - B) L'esecuzione speculativa e l'esecuzione fuori ordine non possono essere combinate.
 - C) L'8051 ha una architettura superscalare.
 - D) In una esecuzione fuori ordine si possono comunque verificare situazioni di stallo.
 - E) Nella predizione statica di salti si memorizza cosa è avvenuto nelle precedenti esecuzioni di una istruzione di salto.
 - F) Nella micro-architettura NetBurst delle macchine Pentium vengono fatte solo predizioni di salti statiche.
 - G) Nella predizione di salto con due bit si memorizza il comportamento delle ultime quattro esecuzioni di una istruzione di salto.
 - H) Un compilatori moderni sono in grado di effettuare predizioni di salto.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]