

# Esercizi su cache

Prof. Riccardo Torlone  
Università Roma Tre

## Memorie Cache I

Una cache a mappa diretta con 16K slot e cache line di 64 byte, è installata in un sistema con indirizzi a 32 bit:

- specificare la struttura di ciascuna slot, indicando esplicitamente la dimensione complessiva della slot e quella di ciascun campo;
- calcolare il numero di slot e la posizione nella slot del byte con indirizzo esadecimale 7BA3FF7D;
- verificare se i due byte di indirizzo esadecimale 32353793 e 3F5537BC collidono sulla stessa slot.

## Esercizio su memorie cache II

Si consideri una memoria cache associativa a 4 vie composta da 4K slot in un sistema con indirizzi a 24 bit e cache line da 16 byte. Indicando con X la cifra meno significativa non nulla del proprio numero di matricola, specificare:

- la struttura dell'indirizzo di memoria, specificando la dimensione dei vari campi in bit;
- la struttura della slot di cache, specificando la dimensione dei vari campi in bit;
- la dimensione totale della cache (ordine di grandezza decimale);
- i passi necessari alla ricerca nella cache del byte di indirizzo BXAXF2.

## Memoria cache III

Si consideri una memoria cache associativa ad insiemi composta da 2K slot di 2 elementi ciascuno ed una memoria di 16MB divisa in blocchi da 64 byte. Assumendo di lavorare con indirizzi a 32 bit e indicando con X la cifra meno significativa non nulla del proprio numero di matricola, specificare:

- la struttura dell'indirizzo, specificando la dimensione dei vari campi e la struttura di una slot (riga) della cache, specificando la dimensione dei vari campi;
- i passi necessari alla ricerca nella cache del byte di indirizzo CXA52X37;
- dire se e perche' il byte specificato nel punto B collide o no con i byte aventi i seguenti indirizzi: (1) CXA52X1F, (2) X4A52X24, (3) CXA52X77.

## Memoria cache IV

Si vuole progettare una cache a mappatura diretta per un sistema con indirizzi a 32 bit e linee di cache di 32 byte. Calcolare:

- il numero minimo di slot necessario a garantire che non più di  $2^X$  blocchi collidano sulla stessa slot (dove X è la cifra meno significativa non nulla del proprio numero di matricola);
- la relativa struttura dell'indirizzo di memoria e della slot di cache, specificando la dimensione dei campi in bit;
- quanto varia il numero di slot necessari nel caso di cache associativa a due vie;
- i passi necessari alla scrittura del byte di indirizzo 7CA3F37D con riferimento a situazioni di cache hit e cache miss.

## Struttura cache

Con riferimento ad una cache a mappatura diretta con 16K slot e cache line di 64 byte installata in un'architettura a 32 bit, indicare se le seguenti affermazioni sono vere o false.

- Il campo TAG della cache è di 14 bit.
- I primi 6 bit dell'indirizzo non vengono usati per indirizzare una slot di cache.
- Il numero di collisioni su una slot di cache aumenta se aumentiamo le dimensioni della cache fino a 32K.
- I byte di indirizzo F4B6A598 e 3CE6A5B3 collidono sulla stessa slot della cache.
- I byte di indirizzo 4F3B7318 e 4F3B733A collidono sulla stessa slot della cache.
- Una slot della cache è grande 525 bit.
- Su una slot della cache collidono 4K cache line di memoria.
- L'accesso a un byte di memoria contiguo a un byte presente nella cache non genera mai cache miss.

## Soluzioni esercizio precedente

Con riferimento ad una cache a mappatura diretta con 16K slot e cache line di 64 byte installata in un'architettura a 32 bit, indicare se le seguenti affermazioni sono vere o false.

- @NO Il campo TAG della cache è di 14 bit.
- @SI I primi 6 bit dell'indirizzo non vengono usati per indirizzare una slot di cache.
- @NO Il numero di collisioni su una slot di cache aumenta se aumentiamo le dimensioni della cache fino a 32K.
- @SI I byte di indirizzo F4B6A598 e 3CE6A5B3 collidono sulla stessa slot della cache.
- @NO I byte di indirizzo 4F3B7318 e 4F3B733A collidono sulla stessa slot della cache.
- @SI Una slot della cache è grande 525 bit.
- @SI Su una slot della cache collidono 4K cache line di memoria.
- @NO L'accesso a un byte di memoria contiguo a un byte presente nella cache non genera mai cache miss.

## Memoria cache V

Si vuole progettare una cache unificata a mappatura diretta per una CPU con indirizzi a 32 bit e linee di cache di 32 byte. Supponendo di avere a disposizione una memoria di 4MB e 32 KB di spazio disponibile massimo sul chip della CPU determinare:

- la struttura di una possibile slot di cache che soddisfi questi requisiti e la relativa struttura dell'indirizzo di memoria;
- le dimensioni totali della cache progettata;
- se e come sia possibile modificare la struttura determinata al punto A per ridurre le collisioni sulle slot di cache;
- cosa può succedere se la CPU vuole leggere il byte 325 della memoria principale.