Esercizio 1

Notazione binaria in virgola mobile a 16 bit VM1 in cui (nell'ordine da sinistra a destra) si usa 1 bit per il segno (0=positivo), 6 bit per l'esponente (rappresentato in eccesso a 32 e nel quale le configurazioni fatte da tutti 0 e da tutti 1 sono riservate) e i rimanenti bit per la parte frazionaria della mantissa.

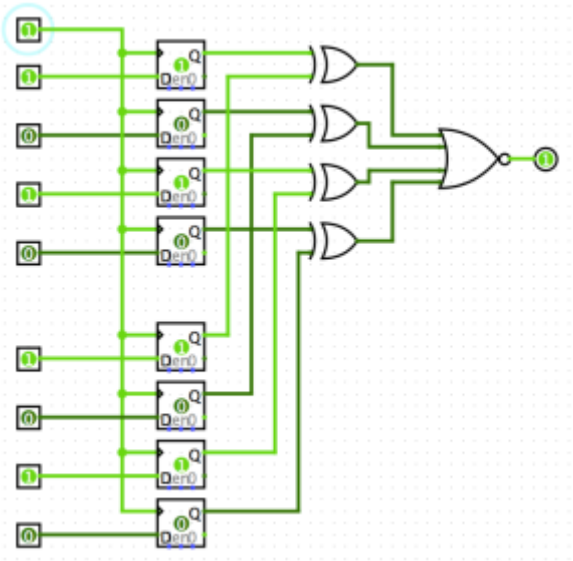
A. Determinare il più grande numero normalizzato e il più piccolo numero denormalizzato che è possibile rappresentare nella notazione VM1
Normalizzati: MAX = ±111110 111111111=2^{30}x1,999≈2^{31}
Denormalizzati: MIN =± 000000 000000001=2^{-31}x2^{-9}=2^{-40}

B. Sia n il numero rappresentato in questa notazione dalla stringa esadecimale C7X7. Rappresentare nella notazione VM1 il numero m = n × 2^{-40} e indicare l'eventuale errore assoluto che si commette.
n=1 100011 10011 0111=-2^3x(1.10011 0111)
m=-2^{-40}x2^3x(1.10011 0111)=-2^{-37}x(1.10011 0111)=
-2^{-31}x2^{-6}x(1.10011 0111)= -2^{-31}x(0.000001 0011 0111)
m: 1 000000 000001001
E_A: 2^{-31}x(0.00000000010111)= 2^{-41}+2^{-43}+2^{-44}+2^{-45}

C. Rappresentare n nella notazione in virgola mobile VM2 a 16 bit in cui si usa 1 bit per il segno, 8 bit per l'esponente (rappresentato in eccesso a 128) ed i rimanenti bit per la parte frazionaria della mantissa (compresa tra 1 e 2) e determinare l'eventuale errore assoluto che si commette.
n=1 10000011 10011 01 (11)
E_A: 2^3x(0.000000011)= 2^3x(2^{-8}+2^{-9})=2^{-5}+2^{-6}

D. Determinare il numero minimo di bit necessari a rappresentare n in un sistema di numerazione binaria in eccesso indicando anche il numerale che lo rappresenta in questa notazione.
Essendo un numero inferiore a 2^3 servono almeno 5 bit
n=-2^3x(1.100110111)=-(01100.110111)
CP2: 10100, ECC: 00100

Esercizio 2



Esercizio 3

A. La variabile X viene acceduto 5 volte, la prima volta si trova in memoria principale, le altre in cache:
Cache hit ratio=4/5=0,8→ **80%**
Tempo medio di accesso a X=2+(15×1/5)=**5 nsec**

B. Il programma effettua complessivamente 10 accessi. Per caricare l'array A sono necessari due accessi alla memoria (16B>10B), per caricare X un solo accesso alla memoria. Gli altri 7 accessi sono a cache.
Cache hit ratio complessivo=7/10=0,7 → **70%**
Tempo medio di accesso memoria=2+(15×3/10)=**6,5 nsec**

C. Per eseguire il programma sono necessari: 10 letture di cui 3 richiedono l'accesso a memoria principale e 10 a cache (la cache è comunque sempre acceduta). Inoltre, il calcolo richiede 5 confronti.
Tempo complessivo=3×15nsec+10×2nsec+5×1nsec=**70 nsec**

Esercizio 4

Con riferimento ai codici a rilevazione e correzione di errore, indicare se le seguenti affermazioni sono vere o false.

- Due codifiche di lunghezza m che hanno una distanza di Hamming pari a n hanno m-n bit uguali. VERO
- L'inserimento di bit di controllo in un codice aumenta sempre la distanza di Hamming del codice. VERO
- Per poter correggere 7 errori di 1 bit in una codice occorre una distanza di Hamming pari a 15. VERO
- Un errore su 3 bit in un codice con distanza di Hamming pari a 10 può essere corretto. VERO
- Per poter correggere errori in un codice con 16 codifiche ho bisogno di un numero di bit maggiore di 4. VERO
- Il bit di controllo necessari per correggere un errore singolo varia al variare della lunghezza della codifica. VERO
- In un codice con distanza di Hamming pari a 2 non è possibile correggere errori di 1 bit. VERO
- In un codice con bit di parità si possono correggere errori singoli se si conosce la loro posizione. VERO

Si consideri un bus sincrono che lavora a 200 Mhz con linee separate per dati e indirizzi dotato dei segnali di controllo MREQ, RD e WAIT e una memoria con un tempo di risposta di 12 nsec dal momento in cui gli indirizzi sono stabili. Supponendo di lavorare in condizioni ideali indicare se le seguenti affermazioni sono vere o false.

- Per garantire una lettura in memoria, il segnale di WAIT deve rimanere asserito per 1 periodo di clock. VERO
- I dati saranno disponibili presso il master dopo 12 nsec. FALSO
- Complessivamente, una transazione di lettura dura 15 nsec. VERO
- Se si usa una memoria con un tempo di risposta di 8 nsec, non è necessario asserire WAIT. FALSO
- Se si dimezza la frequenza, i dati saranno disponibili presso il master dopo 15 nsec. VERO
- Se si dimezza la frequenza, non è necessario asserire WAIT. VERO
- Se si dimezza la frequenza, una transazione di lettura dura complessivamente 20 nsec. VERO
- Complessivamente, una transazione di scrittura dura 15 nsec. VERO

Si consideri un microprocessore con architettura RISC, 10 stati di pipeline e un clock di 2 Ghz e si supponga di lavorare in condizioni ideali. Indicare se le seguenti affermazioni sono vere o false.

- Si completano a regime due istruzioni ogni nanosecondo. VERO
- Il tempo di esecuzione di una istruzione è di 5 nsec. VERO
- Se si dimezza la frequenza di clock si raddoppia la latenza. VERO
- Se nella pipeline si aggiungono degli stadi l'ampiezza di banda rimane la stessa. VERO
- Un programma di 9 istruzioni richiede 9 nsec per essere eseguito. VERO
- Se si aggiunge un'altra pipeline identica in parallelo la latenza si dimezza. FALSO
- Se si aggiunge un'altra pipeline identica in parallelo la banda raddoppia. VERO
- Il microprocessore può eseguire fino a 4 miliardi di istruzioni al secondo. FALSO

Si consideri un'unità disco RAID di 500GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB; indicare le affermazioni esatte tra le seguenti.

- In un RAID di livello 0 con 2 dischi, ogni disco è da 250GB. VERO
- In un RAID di livello 1 ho bisogno di una capacità di memoria totale di 1TB. FALSO SE SI CONSIDERA 1TB=2^{10}GB
- In un RAID di livello 1 con 4 dischi, ogni disco è da 250GB. VERO
- In un RAID di livello 4 con 5 dischi, ogni disco è da 100GB. FALSO
- In un RAID di livello 3 se si rompe un disco non è possibile recuperare i dati. FALSO
- In un RAID di livello 5 con 6 dischi, ogni disco è da 100GB. VERO
- In un RAID di livello 4 ho bisogno di una capacità di memoria totale di 600GB. NON CI SONO DATI SUFFICIENTI PER RISPONDERE
- Se ho dischi da 100GB me ne servono 10 per realizzare un RAID di livello 1. VERO