
Prova parziale 30 aprile 2018

Possibili soluzioni

Primo compito

Rappresentare il numero -5 nel sistema di rappresentazione in eccesso a 16 su 5 bit.

+5 in notazione posizionale: 00101

-5 in complemento a due: 11011

-5 in eccesso a 16: 01011

Rappresentare il numero 13 nel sistema di rappresentazione in complemento a due su 6 bit.

13 in notazione posizionale (e in CP2): 001101

Primo compito

Si consideri una notazione binaria in virgola mobile a 8 bit denominata VM, di cui (nell'ordine da sinistra a destra) si usa 1 bit per il segno (0=positivo, 1=negativo), 4 bit per l'esponente, che è rappresentato in eccesso a 8 e nel quale le configurazioni con tutti 1 e con tutti 0 riservate, e i rimanenti 3 bit per la parte decimale della mantissa, che è normalizzata tra 1 e 2.

- Rappresentare il numero decimale -5 nella notazione VM.
 $-5 = -(0101) = -2^2(1.01) \rightarrow$
Segno: 1, esponente: 1010 (2 in ecc. a 8), mantissa su 3 bit: 010
11010010
- Rappresentare il numero zero nella notazione VM.
00000000
- Rappresentare nella notazione VM il numero che nel sistema in complemento a due è rappresentato dalla stringa esadecimale 1A.
 $1A = 00011010 = +2^4(1.101) \rightarrow$
Segno: 0, esponente: 1100 (4 in ecc. a 8), mantissa su 3 bit: 101
01100101
- Indicare l'eventuale errore assoluto che si commette al punto precedente.
0

Primo compito

Con riferimento ai codici a rilevazione e correzione di errore, rispondere alle domande che seguono.

- Quanti sono i bit uguali in due codifiche lunghe 8 bit che hanno una distanza di Hamming pari a 3?

5

- L'inserimento di bit di controllo in un codice aumenta sempre la distanza di Hamming del codice

VERO

- Che distanza di Hamming deve avere un codice per poter correggere fino a 5 errori di 1 bit?

11

- Un errore su 1 bit in un codice con distanza di Hamming pari a 5 può essere corretto.

VERO

- Indicare il numero di bit di controllo necessari per poter rilevare errori di 1 bit su dati di 16 bit.

1

- Il bit di controllo necessari per correggere un errore singolo varia al variare della lunghezza della codifica.

VERO

- Quanti errori è possibile rilevare in un codice con distanza di Hamming pari a 4?

3

Primo compito

Si consideri un programma che confronta il contenuto di una variabile X con tutti gli elementi di un vettore di interi A. Il vettore è composto da 5 elementi di 4 byte memorizzati in locazioni contigue della memoria principale mentre X è memorizzato in un'altra zona della memoria principale. L'esecuzione del programma avviene su un microprocessore che dispone di una cache con tempo di accesso di 2 nsec e di una memoria con tempo di accesso di 20 nsec. Si assuma che i trasferimenti tra memoria e cache avvengano per blocchi di 16B.

- Indicare la percentuale di successo nell'accesso alla cache (cache hit ratio) per la variabile X

La variabile X viene acceduta 5 volte, la prima volta si trova in memoria principale, le altre in cache:

$$\text{Cache hit ratio} = 4/5 = 0,8 \rightarrow 80\%$$

- Indicare il tempo necessario per il primo accesso alla variabile X, espresso in nanosecondi.

Tempo di accesso alla cache + tempo di accesso alla RAM = 22nsec

- Indicare il tempo medio di accesso alla variabile X, espresso in nanosecondi.

$$\text{Tempo medio di accesso a X} = 2 + (20 \times 1/5) = 6\text{nsec}$$

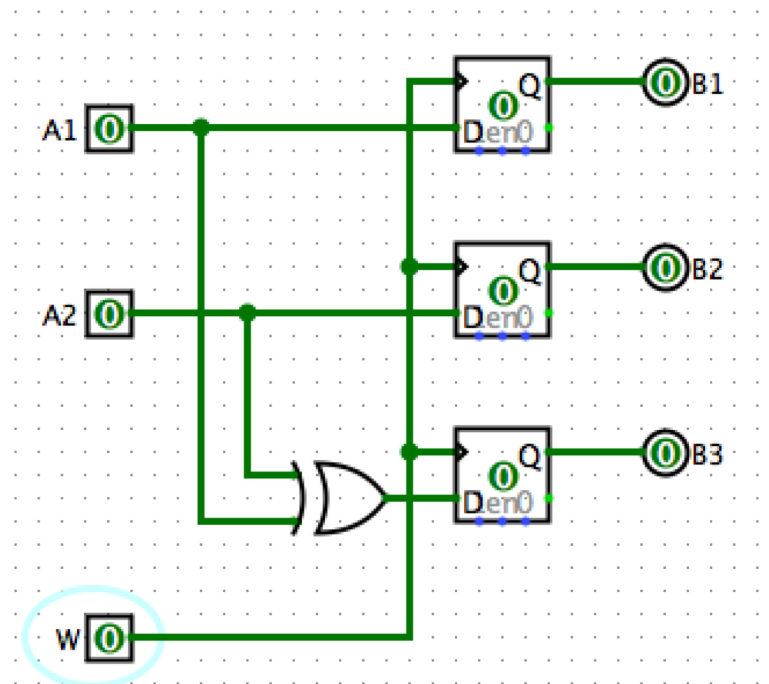
- Assumendo che il confronto di due elementi sia eseguito dal microprocessore in 1 nsec, indicare il tempo complessivo necessario all'esecuzione del programma, espresso in nanosecondi.

Per eseguire il programma sono necessari: 10 letture di cui 3 richiedono l'accesso a memoria principale e 10 a cache (la cache è comunque sempre acceduta). Inoltre, il calcolo richiede 5 confronti.

$$\text{Tempo compl.} = 3 \times 20\text{nsec} + 10 \times 2\text{nsec} + 5 \times 1\text{nsec} = 85\text{nsec}$$

Primo compito

Fornire lo schema di un circuito sequenziale che implementa un registro con controllo di parità. Tale circuito ha 2 ingressi (A_1A_2), un segnale di controllo (W) e 3 uscite ($B_1B_2B_3$). Quando $W=1$ (comando di write) nel registro vengono memorizzati i dati in ingresso aggiungendo il bit di parità. In ogni momento è possibile leggere dalle uscite l'ultimo dato inserito (su B_1B_2) e il bit di parità (su B_3).



Secondo compito

Rappresentare il numero -7 nel sistema di rappresentazione in eccesso a 16 su 5 bit.

7 in notazione posizionale: 00111

-7 in complemento a due: 11001

-7 in eccesso a 16: 01001

Rappresentare il numero +9 nel sistema di rappresentazione in complemento a due su 6 bit.

9 in notazione posizionale (e in CP2): 001001

Secondo compito

Si consideri una notazione binaria in virgola mobile a 10 bit denominata A, di cui (nell'ordine da sinistra a destra) si usa 1 bit per il segno (0=positivo, 1=negativo), 5 bit per l'esponente, che è rappresentato in eccesso a 16 e nel quale le configurazioni con tutti 1 e con tutti 0 riservate, e i rimanenti 4 bit per la parte decimale della mantissa, che è normalizzata tra 1 e 2.

- Rappresentare il numero decimale +7 nella notazione A.

$$+7 = +(0111) = +2^2(1.11) \rightarrow$$

Segno: 0, esp.: 10010 (2 in ecc. a 16), mantissa su 4 bit: 1100

0100101100

- Rappresentare il numero 0 nella notazione A.

0000000000

- Rappresentare nella notazione A il numero che nel sistema in complemento a due è rappresentato dalla stringa esadecimale 2A.

$$2A = 00101010 = +2^5(1.0101) \rightarrow$$

Segno: 0, esp.: 10101 (5 in ecc. a 16), mantissa su 3 bit: 0101

0101010101

- Indicare l'eventuale errore assoluto che si commette al punto precedente.

0

Secondo compito

Si consideri un microprocessore con architettura RISC, 12 stati di pipeline e un clock di 2 Ghz e si supponga di lavorare in condizioni ideali. Rispondere alle seguenti domande.

- Quanti nanosecondi sono necessari per eseguire un'istruzione?

6

- Quanti nanosecondi sono necessari per eseguire un programma di tre istruzioni?

7

- Quanto misura in nanosecondi la latenza della pipeline nel caso in cui la frequenza viene raddoppiata.

3

- Se la latenza della pipeline è di 3 nanosecondi a che frequenza lavora la pipeline in Ghz?

4

- Quante istruzioni riesce ad eseguire a regime la pipeline in un secondo?

2000000000

- Se si aggiunge un'altra pipeline identica in parallelo la banda della pipeline raddoppia.

VERO

Secondo compito

Si consideri un programma che legge tutti gli elementi di un vettore di interi A per visualizzarli a video. Il vettore è composto da 10 elementi di 4 byte memorizzati in locazioni contigue della memoria principale. L'esecuzione del programma avviene su un microprocessore che dispone di una cache con tempo di accesso di 2 nsec e di una memoria con tempo di accesso di 20 nsec. Si assuma che i trasferimenti tra memoria e cache avvengano per blocchi di 16B.

- **Indicare la percentuale di successo nell'accesso alla cache (cache hit ratio) per il secondo elemento del vettore A.**

L'accesso in memoria al primo elemento carica anche il secondo. Ne segue che tutti gli accessi secondo elemento del vettore A (incluso il primo) lo trovano sempre nelle cache:
Cache hit ratio=100%
- **Indicare il tempo necessario per il primo accesso al primo elemento del vettore A, espresso in nanosecondi.**

Tempo di accesso alla cache + tempo di accesso alla RAM = 22nsec
- **Indicare il tempo medio di accesso al primo elemento del vettore A, espresso in nanosecondi.**

Il primo elemento del vettore A viene acceduto una sola volta, trovandolo in memoria.
Tempo medio di accesso a $A[0]=2+(20\times 1/1)=22\text{nsec}$
- **Assumendo che la visualizzazione di un elemento sia eseguito in 1 nsec, indicare il tempo complessivo necessario all'esecuzione del programma, espresso in nanosecondi.**

Per eseguire il programma sono necessarie 10 letture di cui 3 richiedono l'accesso a memoria principale (40B complessivi caricati 16B alla volta) e 10 a cache (la cache è comunque sempre acceduta). Inoltre, sono necessarie 10 visualizzazioni.
Tempo compl.= $3\times 20\text{nsec}+10\times 2\text{nsec}+10\times 1\text{nsec}=90\text{ nsec}$

Secondo compito

Fornire lo schema di un circuito sequenziale che implementa un registro con complemento Tale circuito ha 3 ingressi (A1A2A3), un segnali di controllo (W) e 6 uscite (B1B2B3 e C1C2C3). Quando $W=1$ (comando di write) nel registro vengono memorizzati i dati in ingresso e viene aggiunto il bit di parità. In ogni momento è possibile leggere dalle uscite B l'ultimo dato inserito e sulle uscite C il suo complemento a due.

