

**Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)**  
**Esame del 30 giugno 2010 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 1** COGNOME:.....NOME:.....

1) (20%) Si vuole realizzare una semplice CPU a 8 bit con architettura CISC dotata di un registro *general purpose*, un registro accumulatore e due coppie di registri per il trasferimento di dati da/per una memoria RAM e istruzioni da una memoria ROM. La CPU deve essere in grado di eseguire 8 operazioni aritmetiche e 2 di scalatura. Le microistruzioni sono in tutto 256 e se deve prevedere la possibilità di salti all'interno del control store di tipo: (a) incondizionato e (b) condizionato al risultato pari a zero della ALU. Tutte le altre specifiche possono essere liberamente scelte.

- A) Determinare dimensioni e formato di una possibile microistruzione per una architettura di questo genere, specificando le funzioni delle varie componenti.
- B) Disegnare l'architettura generale di tale CPU (comprensiva dei segnali di controllo) e illustrare coincisamente il suo funzionamento.
- C) Indicare le modifiche necessarie per introdurre una pipeline a tre stadi e mostrare cosa avviene in tre cicli consecutivi del segnale di clock.

2) (20%) Si supponga di voler progettare un linguaggio macchina con istruzioni a lunghezza fissa di 8 bit, in cui occorrono 2 bit per indirizzare ciascun operando e in cui si vuole utilizzare la tecnica dell'espansione dei codici operativi.

- A) Volendo avere 6 istruzioni a due indirizzi, 10 ad un indirizzo e 4 a zero indirizzi, quante istruzioni a tre indirizzi è possibile avere al massimo?
- B) Mostrare schematicamente la corrispondente organizzazione dei codici operativi.
- C) Discutere le modifiche da apportare all'organizzazione per aggiungere altre 5 istruzioni a zero indirizzi.

3) (20%) Scrivere un programma in linguaggio assemblativo 8088 che, dato un numero memorizzato in memoria principale, verifica se tale numero è un numero primo (è divisibile cioè solo per 1 e per se stesso).

**DOMANDE A RISPOSTA MULTIPLA (40%)** Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

4) Con riferimento a una memoria cache a 2 vie con 4K slot ed una memoria di 16MB con linee da 64 byte, indicare se le seguenti affermazioni sono vere o false.

- A) Per questa cache si può adottare una politica di rimpiazzamento di linee LRU.
- B) Una *cache hit* in scrittura non richiede necessariamente l'accesso alla memoria.
- C) Ogni slot richiede 65B.
- D) Ogni via richiede 130B.
- E) La dimensione totale della cache è di 520KB.
- F) Aggiungendo due vie alla cache si dimezza il fenomeno delle collisioni.
- G) Riducendo a 2K il numero delle slot si raddoppia il fenomeno delle collisioni.
- H) Il campo TAG è di 1 byte.

5) Con riferimento al seguente frammento programma di Assembler, indicare se le affermazioni sono vere o false:

```
.SECT .TEXT
MOV CX,vec-num
SHR CX,1
MOV BX,vec
MOV SI,0
MOV AX,(num)
1: CMP (BX)(SI),AX
JG 2f
ADD SI,2
LOOP 1b
MOV DX,0
JMP 3f
2: MOV DX,1
3: ...
.SECT .DATA
vec: .WORD 3,4,7,11,3
num: .WORD 10
```

- A) Alla fine dell'esecuzione del programma il registro DX contiene 1
- B) L'istruzione SHR CX,1 divide per 2 il contenuto di CX
- C) CX contiene la dimensione del vettore vec
- D) Il programma verifica che il vettore contenga il numero 10
- E) Il programma termina dopo aver raggiunto l'ultimo elemento del vettore
- F) BX viene utilizzato come registro contatore
- G) SI viene utilizzato come registro indice
- H) num denota una locazione di memoria di 2 byte

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

**Nota bene: continua sul retro del foglio**

### Compito Num. 1

- 6) Con riferimento ai linguaggi macchina, indicare se le seguenti affermazioni sono vere o false.
- A) Nell'indirizzamento indiretto a memoria sono necessari due accessi a memoria principale per accedere all'operando.
  - B) L'indirizzamento indiretto a registro richiede in genere più bit dell'indirizzamento diretto a memoria.
  - C) Nell'indirizzamento a stack viene specificato nell'istruzione l'indirizzo dell'elemento affiorante dello stack.
  - D) Nell'indirizzamento diretto a registro si specifica l'indirizzo di un registro che contiene l'operando.
  - E) Nell'indirizzamento immediato viene specificato nell'istruzione l'indirizzo di memoria che contiene l'operando.
  - F) Nell'indirizzamento indiretto a registro l'operando si trova in memoria principale.
  - G) L'indirizzamento SIB (Scale, Base, Index) del Pentium viene utilizzato per gestire file in memoria secondaria.
  - H) Il linguaggio macchina delle macchine Pentium è caratterizzato da istruzioni di lunghezza variabile.
- 7) Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) Le istruzioni di salto incondizionato non hanno bisogno di predizione.
  - B) La tavola di predizione dei salti si memorizza in una memoria volatile gestita come una cache.
  - C) In assenza di pipeline l'esecuzione fuori ordine non produce nessun beneficio.
  - D) Nella predizione dinamica di salti si memorizza cosa è avvenuto nelle precedenti esecuzioni di ogni istruzione di salto condizionato.
  - E) L'8051 non ha pipeline e l'intera istruzione viene eseguita in un ciclo di clock.
  - F) La predizione con due bit memorizza il comportamento delle ultime due esecuzioni di una istruzione di salto.
  - G) Nell'esecuzione fuori ordine dei programmi macchina nessuna istruzione rimane in attesa.
  - H) Alcuni linguaggi macchina consentono di specificare predizione nelle istruzioni di salto.

---

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]