

Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)
Esame del 19 luglio 2011 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si vuole realizzare una CPU per applicazioni embedded che non richiede la presenza di una RAM e nella quale tutte le istruzioni macchina da eseguire sono memorizzate in una ROM. Tale CPU è dotata di due registri *general purpose*, un registro accumulatore, due porte per la comunicazione con dispositivi di I/O e due registri per il fetch delle istruzioni. La CPU deve essere in grado di eseguire: 8 operazioni aritmetiche a numeri interi, 2 di scalatura, una operazione di salto incondizionato e una di salto condizionato al confronto degli operandi in ingresso alla ALU (valori uguali salta, diversi non salta). Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale (in particolare il data path) di tale CPU (comprensiva dei segnali di controllo) secondo i principi CISC e illustrare coincisamente il suo funzionamento.
- B) Definire il formato di una microistruzione per tale architettura.
- C) Indicare il diagramma di temporizzazione di una microistruzione assumendo che possa essere eseguita in un solo ciclo di clock.

2) Si vuole progettare una cache unificata a mappatura diretta con linee di cache di 64 byte per un microprocessore a 32 bit. Supponendo di avere a disposizione una memoria di 2GB e non più di 70KB di spazio disponibile sul chip della CPU determinare:

- A) la struttura di una possibile slot di cache che soddisfi i requisiti di spazio e la relativa struttura dell'indirizzo di memoria;
- B) le dimensioni totali della cache progettata;
- C) la struttura di una slot e dimensione di una cache a due vie in grado di soddisfare i medesimi requisiti di spazio;
- D) cosa succede se la CPU vuole leggere la locazione della memoria principale di indirizzo 0.

3) (20%) Scrivere un programma in linguaggio assembler 8088 che, dato un vettore *vec* di *N* di numeri binari memorizzato in memoria principale: (1) stampa la lunghezza del vettore mediante una subroutine *LUN* e (2) memorizza il complemento bit a bit di *N* in un altro vettore *M* in memoria principale mediante una subroutine *COM*. Entrambe le subroutine devono avere come unico argomento il vettore *N*.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4) Con riferimento alle microarchitetture dei calcolatori, indicare se le seguenti affermazioni sono vere o false.
 - A) Il micro instruction register ha in genere meno bit dell' instruction register.
 - B) L'8051 ha un unico bus principale al quale sono collegati registri di dimensione diversa.
 - C) Il contenuto del program counter può essere modificato utilizzando l'ALU.
 - D) Il parallelismo fisico si ottiene duplicando componenti hardware di un microprocessore.
 - E) In una architettura RISC il funzionamento della CPU viene controllato dai bit della istruzione macchina corrente.
 - F) Una pipeline si può introdurre su macchine RISC ma non su macchine CISC.
 - G) Nella micro-architettura Pentium esiste un'unità che si occupa esclusivamente del controllo dell'esecuzione fuori ordine.
 - H) In una architettura RISC il micro program counter è assente.

5) Con riferimento al seguente frammento programma di Assembler, indicare se le affermazioni sono vere o false:

```
.SECT .TEXT !1
search: !2
MOV CX,A-V !3
SHR CX,1 !4
MOV BX,V !5
MOV SI,0 !6
MOV AX,(A) !7
1: ADD (BX)(SI),AX !8
ADD SI,2 !9
LOOP 1b !10
PUSH 0 !11
PUSH 1 !12
SYS !13
.SECT .DATA !14
V: .WORD 4,5,6,11 !15
A: .WORD 1 !16
```

- A) Alla fine dell'esecuzione del programma il registro *AX* contiene 1
- B) Subito dopo l'istruzione 4 il contenuto del registro *CX* vale 4
- C) L'istruzione 3 memorizza in *CX* la dimensione del vettore *V*
- D) Il programma modifica il contenuto del vettore *V*
- E) L'istruzione 8 viene eseguita 4 volte
- F) Al termine dell'esecuzione la locazione denotata da *A* contiene 6
- G) *BX* viene utilizzato come registro base
- H) *A* denota una locazione di memoria di 2 byte

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Con riferimento ai linguaggi macchina indicare se le seguenti affermazioni sono vere o false.
- A) L'indirizzamento indiretto a registro richiede più bit dell'indirizzamento diretto.
 - B) Il linguaggio macchina della UltraSPARC vede solo 32 registri *general-purpose* sebbene i registri fisici siano di più.
 - C) Una istruzione che adotta l'indirizzamento a stack non contiene alcun indirizzo.
 - D) Le istruzioni del linguaggio macchina IA-32 possono indirizzare direttamente una locazione di memoria principale.
 - E) Le uniche istruzioni del linguaggio macchina della UltraSPARC che indirizzano la memoria sono le LOAD e le STORE.
 - F) Con il meccanismo di espansione dei codici, il numero massimo di istruzioni a $n - 1$ operandi dipende dal numero di istruzioni a n operandi.
 - G) Il linguaggio macchina dei Pentium ha a disposizione 16 registri *general purpose* a 32 bit.
 - H) Nell'indirizzamento indiretto si specifica nell'istruzione l'indirizzo di memoria dell'operando.
- 7) Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) In una esecuzione fuori ordine delle istruzioni macchina i vincoli WAW possono essere risolti utilizzando appositi registri segreti.
 - B) La predizione dinamica di salti viene gestita da componenti hardware.
 - C) La predizione dinamica di salto richiede una memoria dedicata.
 - D) In una esecuzione fuori ordine delle istruzioni macchina la CPU non va mai in stallo.
 - E) La tavola di predizione dei salti si memorizza nella cache del microprocessore.
 - F) I vincoli RAW non possono essere risolti con l'ausilio di registri segreti.
 - G) Una esecuzione in ordine delle istruzioni macchina è in genere meno efficiente dell'esecuzione fuori ordine.
 - H) In una esecuzione speculativa esistono istruzioni che vengono avviate ma non vengono ritirate.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]