

**Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)**  
**Esame del 22 luglio 2013 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 1** COGNOME:.....NOME:.....

**1)** (20%) Si vuole realizzare una CPU RISC a 16 bit con due registri *general purpose* e due coppie di registri per il trasferimento di dati e istruzioni da/per la memoria. La CPU deve essere dotata di (a) una ALU in grado di svolgere 16 operazioni su numeri interi e (b) tre bus: due che collegano i registri ai due ingressi della ALU e uno che collega l'uscita della ALU ai registri. La CPU deve inoltre essere in grado di eseguire due salti condizionati basati sul risultato della ALU (zero e negativo). Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale (in particolare il data path) di tale CPU (comprensiva dei segnali di controllo) e illustrare coincisamente il suo funzionamento.
- B) Indicare come sia possibile introdurre una pipeline a quattro stadi nell'architettura progettata indicando cosa avviene in cicli successivi del segnale di temporizzazione.
- C) Indicare concisamente come sia possibile trasformare l'architettura progettata in un'architettura superscalare dotata di due ALU.

**2)** (20%) Si vuole progettare una cache di primo livello a mappatura diretta per un microprocessore a 32 bit con uno spazio a disposizione non più grande di 150KB, che deve comunicare con una memoria da 2GB (non estendibile) trasferendo dati in blocchi di 64 byte.

- A) Indicare la dimensione minima della cache in grado di garantire che su ciascuna slot non collidano più di 32K blocchi, mostrando la struttura di una slot (con la dimensione dei vari campi);
- B) Indicare, indipendentemente dal numero di collisioni, la dimensione massima possibile per la cache, mostrando la struttura di una slot (con la dimensione dei vari campi) e specificando il relativo numero di collisioni;
- C) Indicare, indipendentemente dal numero di collisioni, il numero massimo possibile di slot di una cache a quattro vie, mostrando la struttura di una slot (con la dimensione dei vari campi).

**3)** (20%) Scrivere un programma in linguaggio assembler 8088 che, dato una stringa *s* (un vettore di caratteri) memorizzata in memoria principale: (1) stampa la lunghezza della stringa mediante una subroutine LUN che ha come argomento l'indirizzo del primo carattere della stringa e (2) stampa il numero di volte che nella stringa compare un carattere *x* memorizzato in memoria principale mediante una subroutine OCC che ha come argomenti l'indirizzo del primo carattere della stringa e il carattere *x*.

**DOMANDE A RISPOSTA MULTIPLA (40%)** Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4)** Con riferimento ai linguaggi macchina indicare se le seguenti affermazioni sono vere o false.
- A) Nell'indirizzamento indiretto a registro l'indirizzo dell'operando si trova in un registro.
  - B) L'indirizzamento indiretto a registro richiede più bit dell'indirizzamento a registro.
  - C) Il linguaggio macchina AVR solo le istruzioni LOAD e STORE fanno riferimento alla memoria principale.
  - D) Nel linguaggio macchina ARM v.7 una operazione aritmetica può indirizzare una locazione di memoria principale.
  - E) Nell'ATmega168 esiste un unico spazio di indirizzamento per registri e memoria.
  - F) Il linguaggio macchina ARM v.7 sono disponibili 16 registri *general-purpose* ufficiali.
  - G) Nell'indirizzamento indicizzato il registro indice contiene un indirizzo di memoria.
  - H) Nel linguaggio macchina del Core i7 sono disponibili più di 32 registri *general purpose*.
- 5)** Con riferimento ad alcune CPU reali, indicare se le seguenti affermazioni sono vere o false.
- A) Nel Core i7 le istruzioni macchina sono in genere decomposte in microistruzioni.
  - B) ATmega168 è una CPU con architettura CISC.
  - C) Il Core i7 è dotato di un'unità che si occupa dell'esecuzione fuori ordine delle istruzioni.
  - D) Nel Core i7 ogni core è dotato di due livelli di cache dedicate.
  - E) Nel Core i7 esiste una cache condivisa tra i vari core.
  - F) Nell'ARM Cortex A9 le istruzioni vengono eseguite in ordine.
  - G) L'OMAP4430 è un chip che dispone di più CPU.
  - H) L'ARM Cortex A9 è una CPU con architettura RISC.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

**Nota bene: continua sul retro del foglio**

### Compito Num. 1

- 6) Con riferimento alle architetture dei calcolatori moderni, indicare se le seguenti affermazioni sono vere o false.
- A) L'introduzione di una pipeline in un microprocessore non migliora il tempo di esecuzione delle singole istruzioni.
  - B) Nelle architetture CISC il flusso dei dati nel data path viene controllato dalle microistruzioni.
  - C) Se si introduce una pipeline, una istruzione macchina richiede più cicli di clock per essere eseguita.
  - D) In una architettura superscalare esistono diverse ALU.
  - E) ARM è una architettura implementata su diversi microprocessori.
  - F) La tendenza attuale è quella di limitare la frequenza di clock dei microprocessori.
  - G) In un microprocessore CISC non è possibile eseguire fuori ordine le istruzioni.
  - H) Le architetture multicore lavorano tipicamente a frequenze più alte delle architetture monocore.
- 7) Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) I vincoli RAW non possono essere risolti utilizzando registri segreti.
  - B) La predizione dinamica di salto fa uso della memoria cache della CPU.
  - C) Il ritiro fuori ordine delle istruzioni macchina è in genere più efficiente del ritiro in ordine.
  - D) La predizione dinamica di salti viene gestita da un'applicazione software.
  - E) Nelle CPU moderne può succedere che istruzioni eseguite non vengono ritirate.
  - F) In una esecuzione fuori ordine delle istruzioni macchina la CPU può comunque andare in stallo.
  - G) In una esecuzione fuori ordine tutte le istruzioni avviate vengono comunque ritirate.
  - H) L'esecuzione fuori ordine e la esecuzione speculativa non sono compatibili.

---

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]