

Calcolatori Elettronici – I parte (CdL Ingegneria Informatica)
Esame del 9 luglio 2014 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si consideri un rappresentazione binaria in virgola mobile a 16 bit denominata ALFA, di cui si usa (nell'ordine da sinistra a destra) 1 per il segno (0=positivo), 7 per l'esponente, che è rappresentato in eccesso a 64, e 8 per la parte frazionaria della mantissa. Quando l'esponente è diverso da 0000000, la mantissa è normalizzata tra 1 e 2. Quando invece vale 0000000, la mantissa è compresa tra 0 e 1 e si rappresentano numeri denormalizzati, con esponente fisso a -63. Rispondere alle domande che seguono.

- A) Indicare il più piccolo e il più grande numero positivo che è possibile esprimere nella notazione ALFA e i numerali che li rappresentano;
- B) Rappresentare nella notazione ALFA i numeri decimali -128, +36 e -15,25 indicando l'eventuale errore assoluto che si commette;
- C) Individuare una nuova rappresentazione BETA che consente di rappresentare tutti i numeri citati al punto B con il numero minimo possibile di bit;
- C) Indicare il più piccolo e il più grande numero positivo che è possibile esprimere nella notazione BETA individuata al punto precedente e i numerali corrispondenti.

2) (20%) Fornire lo schema di un circuito sequenziale che realizza un registro a lettura complementare. Tale circuito ha un segnale di controllo (C) 4 linee in ingresso ($X_3X_2X_1X_0$) e 2 gruppi di 4 linee in uscita ($Y_3Y_2Y_1Y_0$ e $Z_3Z_2Z_1Z_0$). Quando C=1 il registro memorizza un numero binario a 4 bit presente sugli ingressi X. Successivamente, è possibile leggere il numero memorizzato sulle uscite Y e il suo complemento a due sulle uscite Z.

3) (20%) Un microprocessore embedded a 8 bit deve comunicare mediante un bus parallelo con una ROM di 32B, una RAM di 32B e, facendo uso di due schede PIO, con 4 dispositivi di I/O memory mapped.

- A) definire gli spazi di indirizzamento dei vari dispositivi a disposizione supponendo di poter utilizzare tutti gli 8 bit per specificare gli indirizzi;
- B) indicare come è possibile ottenere con porte logiche i corretti segnali di chip select a partire dalle linee del bus degli indirizzi;
- C) indicare come è possibile semplificare i circuiti determinati al punto B con una decodifica parziale degli indirizzi.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

4) Si consideri un'unità disco RAID di 200GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB; indicare se le seguenti affermazioni sono vere o false.

- A) In un RAID di livello 3, se si rompe il disco di parità è comunque possibile recuperare i dati.
- B) Il RAID di livello 2 lavora su bit invece che su strip.
- C) In un RAID di livello 1, ho bisogno di una capacità di memoria totale di 400GB.
- D) In un RAID di livello 1 con 4 dischi, ogni disco è da 100GB.
- E) In un RAID di livello 4 con 5 dischi, ogni disco è da 50GB.
- F) In un RAID di livello 5 con dischi da 50GB, ho bisogno di una capacità di memoria totale di 250GB.
- G) In un RAID di livello 5 con 5 dischi, ogni disco è da 50GB.
- H) In un RAID di livello 0 con 2 dischi, ogni disco è da 100GB.

5) Si consideri un bus sincrono che lavora a 50 Mhz con linee separate per dati e indirizzi dotato dei segnali di controllo MREQ, RD e WAIT e una memoria con un tempo di risposta di 40nsec dal momento in cui gli indirizzi sono stabili; indicare se le seguenti affermazioni sono vere o false.

- A) In condizioni ideali, per garantire una lettura in memoria, il segnale di WAIT deve rimanere asserted per 1 periodo di clock.
- B) In condizioni ideali, i dati saranno disponibili presso il master dopo 50nsec.
- C) In condizioni ideali, se la frequenza si raddoppia, i dati saranno disponibili presso il master dopo 45nsec.
- D) Complessivamente, una transazione di lettura dura 50nsec.
- E) Il bus PCI Express è asincrono.
- F) Una transazione di lettura da una memoria con un tempo di risposta di 65nsec dura 80nsec.
- G) In condizioni ideali, se la frequenza si dimezza, i dati saranno disponibili presso il master dopo 60nsec.
- H) In condizioni ideali, se si usa una memoria con un tempo di risposta di 20 nsec, non è necessario assertare WAIT.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Con riferimento ai dispositivi di memoria secondaria, indicare se le seguenti affermazioni sono vere o false.
- A) In una unità disco un settore è l'insieme delle tracce alla stessa distanza dal centro.
 - B) Sui cavi USB i dati vengono trasmessi in parallelo.
 - C) Il meccanismo della DMA richiede controllori di unità periferiche in grado di accedere alla memoria senza intervento della CPU.
 - D) Il tempo di latenza di un'unità a disco è il tempo di spostamento del settore desiderato di una traccia sotto la testina.
 - E) La *burst rate* di un'unità a disco non tiene conto dei tempi di ricerca del dato sul disco.
 - F) I dispositivi DVD utilizzano la stessa tecnologia basata su pit a land dei CD.
 - G) Tutte le configurazioni RAID introducono ridondanze.
 - H) Per realizzare una unità RAID sono necessari almeno due dischi.
- 7) Si consideri una CPU con architettura RISC, 10 stati di pipeline e un clock di 2 Ghz e si supponga di lavorare in condizioni ideali; indicare se le seguenti affermazioni sono vere o false.
- A) La latenza della CPU è di 5 nsec.
 - B) In condizioni ideali si completa a regime una istruzione ogni mezzo nsec.
 - C) L'ampiezza di banda della CPU è di 2000 MIPS.
 - D) Se nella pipeline si aggiunge uno stadio l'ampiezza di banda della CPU aumenta.
 - E) In condizioni ideali un programma di 7 istruzioni richiede 0 nsec per essere eseguito.
 - F) Se la frequenza di clock scende a 1 Ghz il tempo di esecuzione di una istruzione raddoppia.
 - G) Il tempo di esecuzione di una istruzione è di 8 nsec.
 - H) Se nella pipeline si eliminano due stadi il tempo di esecuzione di un'istruzione si riduce di un nsec.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]