

Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)
Esame del 9 luglio 2014 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si vuole realizzare una CPU RISC a 32 bit con due registri *general purpose* e due coppie di registri per il trasferimento di dati e istruzioni da/per la memoria. La CPU deve essere dotata di una ALU in grado di svolgere 32 operazioni su numeri interi e di tre bus: due che collegano i registri ai due ingressi della ALU e uno che collega l'uscita della ALU ai registri. Deve essere inoltre possibile effettuare: (a) salti incondizionati e (b) condizionati in base due possibili stati della ALU. Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale (in particolare il data path) di tale CPU (comprensiva dei segnali di controllo) e illustrare concisamente il suo funzionamento.
- B) Indicare concisamente come sia possibile introdurre anche un'altra ALU per le operazioni in virgola mobile.
- C) Descrivere brevemente come sia possibile realizzare con l'architettura progettata una CPU dual core con cache condivisa.

2) (20%) In un sistema con indirizzi a 64 bit e una memoria RAM di 2GB si vogliono realizzare due cache separate di primo livello: una per i dati e l'altra per le istruzioni. La cache dati è a 4 vie ed è dotata di 4K slot, mentre cache istruzioni è a 8 vie ed è dotata di 2K slot. Le cache line hanno una dimensione di 64 byte. Indicare:

- A) la struttura delle due cache, specificando la dimensione dei vari campi e la dimensione totale (ordine di grandezza binario);
- B) il numero di collisioni in una slot della cache dati e in una slot della cache istruzioni (ordine di grandezza binario);
- C) la procedura di scrittura di un dato di memoria principale con indirizzo 0000AX12 (dove X è la cifra meno significativa del proprio numero di matricola)

3) (20%) Scrivere un programma in linguaggio assembler 8088 che, dato un vettore V di numeri interi positivi in memoria terminato dal numero 0: (1) calcola il numero degli elementi del vettore mediante una subroutine CHECK che ha come argomento l'indirizzo del primo elemento del vettore e (2) stampa la somma degli elementi del vettore mediante una subroutine SUM che ha come argomenti l'indirizzo del primo elemento del vettore e la lunghezza del vettore.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4)** Con riferimento alle architetture dei calcolatori moderni, indicare se le seguenti affermazioni sono vere o false.
- A) Le architetture multicore lavorano tipicamente a frequenze più alte delle architetture monocore.
 - B) Nelle architetture CISC tutte le microistruzioni sono memorizzate in una ROM interna alla CPU.
 - C) In una architettura superscalare le ALU presenti possono essere diverse tra loro.
 - D) Se si introduce una pipeline, una istruzione macchina richiede più cicli di clock per essere eseguita.
 - E) L'introduzione di una pipeline in un microprocessore migliora il tempo di esecuzione delle singole istruzioni.
 - F) Possono esistere più cache di primo livello.
 - G) La frequenza di clock dei microprocessori moderni è tipicamente superiore ai 4Ghz.
 - H) In un microprocessore RISC i registri devono essere almeno di 64 bit.
- 5)** Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) La predizione dinamica di salti è a carico del programma macchina.
 - B) Una predizione statica di salto richiede una memoria dedicata.
 - C) I vincoli RAW impediscono l'avvio di una istruzione macchina.
 - D) L'esecuzione fuori ordine delle istruzioni macchina consente di evitare situazioni di stallo della CPU.
 - E) Possono esistere programmi macchina che non hanno alcun giovamento dall'esecuzione fuori ordine delle loro istruzioni.
 - F) In una esecuzione speculativa alcune delle istruzioni avviate non vengono ritirate.
 - G) Il ritiro fuori ordine delle istruzioni macchina è in genere più efficiente del loro ritiro in ordine.
 - H) I vincoli WAR possono essere risolti utilizzando registri segreti.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Con riferimento alle architetture dei microprocessori reali, indicare se le seguenti affermazioni sono vere o false.
- A) Nell'ARM A9 si fanno predizioni dinamiche di salti.
 - B) L'ATmega168 ha una sola ALU.
 - C) L'i7 ha una architettura puramente RISC.
 - D) L'ATmega168 lavora a frequenze dell'ordine dei Mhz.
 - E) L'ARM A9 ha una architettura superscalare.
 - F) L'ATmega168 è un microprocessore RISC.
 - G) L'ARM A9 ha una lunga pipeline.
 - H) AVR è una architettura implementata su diversi microprocessori.
- 7) Con riferimento ai linguaggi macchina indicare se le seguenti affermazioni sono vere o false.
- A) Nell'IA-32 sono disponibili 16 registri *general purpose* a 32 bit.
 - B) Nell'ARM7 sono disponibili 32 registri ufficiali.
 - C) Nell'indirizzamento indiretto si specifica nell'istruzione l'indirizzo dell'indirizzo dell'operando.
 - D) Nell'ARM7 non esiste il meccanismo di indirizzamento diretto a memoria.
 - E) L'indirizzamento indiretto a registro richiede lo stesso numero di bit dell'indirizzamento diretto.
 - F) Nell'IA-32 una operazione aritmetica può indirizzare una locazione di memoria principale.
 - G) Nell'AVR solo la LOAD e le STORE indirizzano la memoria.
 - H) Una istruzione che adotta l'indirizzamento a stack non contiene alcun operando.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]