

**Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)**  
**Esame del 17 luglio 2015 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 1** COGNOME:.....NOME:.....

**1)** (20%) Si vuole realizzare una CPU dual core con cache L2 condivisa. I core della CPU sono identici, hanno un'architettura superscalare di tipo RISC, sono in grado di fare pre-fetching ed eseguire 2 operazioni in parallelo su due ALU di cui una opera su numeri interi e l'altra su numeri in virgola mobile. Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale di tale CPU (comprensiva dei segnali di controllo) e illustrare coincisamente il suo funzionamento.
- B) Indicare come sia possibile introdurre una pipeline a più stadi nell'architettura progettata indicando cosa avviene in cicli successivi del segnale di temporizzazione.
- C) Indicare concisamente come sia possibile introdurre un meccanismo di esecuzione fuori ordine delle istruzioni.

**2)** (20%) Si vuole progettare una cache di primo livello a due vie per un microprocessore a 16 bit avendo a disposizione 1KB di spazio al massimo. La cache deve comunicare con una memoria da 64KB trasferendo dati in blocchi di 16 byte.

- A) Indicare il numero massimo possibile di slot di una cache di questo genere, mostrando la struttura di una slot (con la dimensione dei vari campi) e specificando il relativo numero di collisioni;
- B) Indicare il numero minimo di slot che sarebbero necessari per garantire che su ciascuna slot non collidano più di 64 blocchi, mostrando la struttura di una slot (con la dimensione dei vari campi);
- C) Indicare, indipendentemente dal numero di collisioni, il numero massimo possibile di slot di una cache a mappatura diretta, mostrando la struttura di una slot (con la dimensione dei vari campi).

**3)** (20%) Scrivere un programma in linguaggio assembler 8088 che, dati quattro numeri A, B, C e D memorizzati in memoria principale: (1) stampa il più grande dei numeri mediante una subroutine MAX e (2) inserisce i numeri in un vettore V mediante una subroutine CREA. Entrambe le subroutine hanno come parametri in ingresso gli indirizzi dei quattro numeri in memoria principale.

**DOMANDE A RISPOSTA MULTIPLA** (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4)** Con riferimento alle memorie presenti in un calcolatore, indicare se le seguenti affermazioni sono vere o false.
- A) Le frequenze di funzionamento delle memorie principali di tipo DRAM sono dello stesso ordine di grandezza di quelle delle CPU.
  - B) Un blocco di memoria presente nella cache di primo livello (L1) è sempre una copia esatta del relativo blocco in memoria centrale.
  - C) In un calcolatore la dimensione di una memoria cache di secondo livello (L2) è tipicamente superiore a quella di terzo livello (L3).
  - D) La politica di rimpiazzamento di linee LRU si applica solo a cache a più vie.
  - E) Il meccanismo di gestione *write back* della cache consente di ridurre il numero di accessi alla memoria principale.
  - F) Utilizzando una politica *write through* i dati nella cache L1 possono essere disallineati con quelli in memoria.
  - G) La memoria cache di primo livello (L1) degli i7 contenente le istruzioni è accessibile in sola lettura dalla CPU.
  - H) Esistono tipicamente due cache di primo livello: una per i dati e una per le istruzioni.
- 5)** Con riferimento alle architetture dei calcolatori, indicare se le seguenti affermazioni sono vere o false.
- A) L'i7 ha una architettura ibrida in parte CISC e in parte RISC.
  - B) L'ATmega168 lavora a frequenze dell'ordine dei Mhz.
  - C) L'i7 ha una architettura superscalare con una lunga pipeline.
  - D) ARM Cortex A9 ha una architettura puramente RISC.
  - E) ARM Cortex A9 non ha una architettura superscalare.
  - F) AVR è una architettura implementata su diversi microprocessori.
  - G) L'i7 ha una componente completamente dedicata all'esecuzione fuori ordine delle istruzioni.
  - H) ARM Cortex A9 è dotato di una componente per la predizione dinamica di salti.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

**Nota bene: continua sul retro del foglio**

### Compito Num. 1

6) Con riferimento al seguente frammento programma di Assembler, indicare se le affermazioni sono vere o false:

```
.SECT .TEXT !1
MOV CX,num-vec !2
SHR CX,1 !3
MOV BX,vec !4
MOV SI,0 !5
MOV AX,(num) !6
1: CMP (BX)(SI),AX !7
   JE 2f !8
   ADD SI,2 !9
   LOOP 1b !10
   MOV DX,0 !11
   JMP 3f !12
2: MOV DX,1 !13
3: ..
.SECT .DATA
vec: .WORD 3,4,7,11,3
num: .WORD 8
format: .ASCII "%
```

- A) Dopo l'esecuzione dell'istruzione 13 DX contiene 0.
  - B) Se *vec* si trova all'indirizzo 10, *num* si trova all'indirizzo 15.
  - C) Il programma termina prima di aver raggiunto l'ultimo elemento del vettore.
  - D) Dopo l'esecuzione dell'istruzione 10 il registro CX contiene 0.
  - E) SI viene usato come registro indice.
  - F) Il programma verifica che il vettore contenga il numero 8.
  - G) Il salto a riga 10 viene effettuato 3 volte.
  - H) L'istruzione 3 serve a scalare il vettore a destra.
- 7) Con riferimento ai linguaggi macchina, indicare se le seguenti affermazioni sono vere o false.
- A) Nell'indirizzamento diretto a registro si specifica l'indirizzo di un registro che contiene l'operando.
  - B) L'indirizzamento SIB (Scale, Base, Index) dell'i7 viene generalmente utilizzato per operare su vettori.
  - C) Nell'indirizzamento indiretto a registro l'operando si trova in memoria principale.
  - D) L'indirizzamento indiretto a registro richiede comunque un accesso a memoria principale.
  - E) L'indirizzamento a registro richiede un solo accesso a memoria principale.
  - F) Nell'indirizzamento immediato viene specificato nell'istruzione l'indirizzo di memoria che contiene l'operando.
  - G) Nell'indirizzamento a stack viene specificato nell'istruzione l'indirizzo dell'elemento affiorante dello stack.
  - H) Il linguaggio macchina del processore i7 è caratterizzato da istruzioni di lunghezza fissa.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]