

**Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)**  
**Esame del 20 luglio 2016 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 1** COGNOME:.....NOME:.....

- 1) (20%) Si vuole realizzare una CPU per applicazioni embedded in grado di eseguire solo istruzioni memorizzate in una EPROM interna alla CPU. Tale CPU ha una piccola RAM per memorizzare i dati ed è dotata di: (a) un solo bus centrale, (b) 2 registri *general purpose*, (c) due timer e (d) due porte di I/O. La CPU può eseguire 16 operazioni a numeri interi e consente l'esecuzione di salti condizionati e incondizionati. Tutte le altre specifiche possono essere liberamente scelte.
- A) Disegnare l'architettura generale (in particolare il data path) di tale CPU secondo i principi RISC e illustrare concisamente il suo funzionamento;
  - B) Definire i segnali di controllo per tale architettura, evidenziando su quali componenti della CPU operano;
  - C) Indicare possibili modifiche dell'architettura proposta per poter poter introdurre una semplice pipeline a due stadi.
- 2) (20%) Si vuole realizzare una gerarchia di cache a due livelli per un sistema di indirizzi a 32 bit e una memoria RAM di 4GB: il primo livello è costituito da una cache a 4 vie dotata di 2K slot mentre il secondo livello è costituito da una cache a mappatura diretta di 512K slot. Le cache line hanno una dimensione di 64 byte. Indicare:
- A) la struttura di una slot di cache di primo livello e di una slot di cache di secondo livello, specificando la dimensione dei vari campi in bit e l'ordine di grandezza binario delle dimensioni totali delle due cache;
  - B) il numero di collisioni in una slot della cache di primo livello e in una slot della cache di secondo livello (ordine di grandezza binario);
  - C) la procedura di ricerca del byte di memoria principale di indirizzo 000001X8 (dove X è la cifra meno significativa del proprio numero di matricola)
- 3) (20%) Scrivere un programma in linguaggio assembler 8088 che, dato un vettore V di numeri interi positivi memorizzato in memoria: (1) copia gli elementi del vettore in un altro vettore W in memoria mediante una subroutine COPY che ha come argomenti gli indirizzi dei primi elementi dei due vettori e (2) verifica la correttezza della copia mediante una subroutine CHECK che ha gli stessi argomenti di COPY e restituisce 1 se V e W sono identici dopo la copia e 0 altrimenti.

**DOMANDE A RISPOSTA MULTIPLA** (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4) Con riferimento ai linguaggi macchina, indicare se le seguenti affermazioni sono vere o false.
- A) Nell'indirizzamento indiretto a registro l'operando si trova in memoria.
  - B) Nell'indirizzamento indicizzato il registro indice contiene un numero intero positivo.
  - C) Nell'indirizzamento immediato l'operando è dentro l'istruzione macchina.
  - D) L'indirizzamento a registro richiede molti bit per specificare l'indirizzo.
  - E) Il linguaggio macchina delle macchine ARM ha istruzioni di lunghezza molto variabile.
  - F) Il linguaggio macchina delle macchine AVR ha istruzioni a 16 bit e a 32 bit.
  - G) L'indirizzamento indiretto a registro richiede più tempo dell'indirizzamento a registro.
  - H) Nell'indirizzamento indiretto a registro sono richiesti due accessi a memoria per accedere all'operando.
- 5) Si consideri un processore che avvia 2 istruzioni per ciclo di clock e che richiede 2 cicli per completare somme e differenze e 3 per completare divisioni e prodotti. Con riferimento al seguente programma macchina: (1)  $R2=R1/R3$ ; (2)  $R4=R5+R3$ ; (3)  $R8=R6*R4$ ; (4)  $R6=R7/R1$ ; indicare se le seguenti affermazioni sono vere o false.
- A) L'avvio dell'istruzione (2) richiede l'uso di un registro segreto.
  - B) L'esecuzione con avvio e ritiro fuori ordine richiede 7 cicli di clock.
  - C) L'esecuzione con avvio e ritiro in ordine (senza registri segreti) richiede 12 cicli di clock.
  - D) L'ordine di avvio delle istruzioni nell'esecuzione con avvio fuori ordine è (1)(2)(4)(3).
  - E) L'ordine di ritiro delle istruzioni nell'esecuzione con ritiro fuori ordine è (2)(1)(4)(3).
  - F) L'esecuzione fuori ordine del programma richiede un solo registro segreto.
  - G) Tra l'istruzione (1) e l'istruzione (2) ci sono vincoli che possono portare a uno stallo.
  - H) L'esecuzione con avvio fuori ordine e ritiro in ordine richiede 7 cicli di clock.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

**Nota bene: continua sul retro del foglio**

### Compito Num. 1

- 6) Con riferimento alle architetture dei calcolatori, indicare se le seguenti affermazioni sono vere o false.
- A) ARM Cortex A9 ha una architettura CISC.
  - B) ARM Cortex A9 è dotato di una componente per la predizione dinamica di salti.
  - C) ARM Cortex A9 ha una architettura superscalare.
  - D) L'i7 ha una architettura superscalare ma non ha una pipeline.
  - E) L'ATmega168 lavora a frequenze dell'ordine dei Ghz.
  - F) L'i7 ha una architettura puramente RISC.
  - G) L'i7 ha una componente completamente dedicata all'esecuzione fuori ordine delle istruzioni.
  - H) ARM è una architettura implementata su diversi microprocessori.
- 7) Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) La predizione con due bit memorizza il comportamento delle ultime quattro esecuzioni di una istruzione di salto.
  - B) Le architetture che eseguono fuori ordine le istruzioni dispongono di unità dedicate allo scheduling delle istruzioni.
  - C) L'esecuzione speculativa e l'esecuzione fuori ordine non possono essere combinate.
  - D) La tavola di predizione dei salti si memorizza in memoria principale.
  - E) Nella predizione dinamica di salti si memorizza cosa è avvenuto nelle precedenti esecuzioni di una istruzione di salto.
  - F) In una esecuzione fuori ordine le istruzioni non vanno mai in stallo.
  - G) L'avvio fuori ordine delle istruzioni macchina può generare una erronea esecuzione di un programma.
  - H) È possibile fare predizioni di salto al livello di linguaggio macchina.

---

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]