

**Calcolatori Elettronici – II parte (CdL Ingegneria Informatica)**  
**Esame del 19 luglio 2017 – tempo a disposizione: 1 ora e 30 minuti**

**Compito Num. 2** COGNOME:.....NOME:.....

1) (20%) Si vuole realizzare una CPU dual core dotata di due cache L1 separate (una per ciascun core) e una cache L2 condivisa. I core della CPU sono identici, hanno un'architettura superscalare di tipo RISC, sono dotati di una ALU in grado di svolgere 32 operazioni su numeri in virgola mobile e di tre bus: due che collegano i registri ai due ingressi della ALU e uno che collega l'uscita della ALU ai registri. Tutte le altre specifiche possono essere liberamente scelte.

- A) Disegnare l'architettura generale di un core di tale CPU (comprensiva dei segnali di controllo) e illustrare concisamente il suo funzionamento.
- B) Indicare e descrivere le modalità di comunicazione dei core con le cache (di primo e secondo livello) e con la memoria.
- C) Indicare concisamente come sia possibile introdurre un meccanismo di esecuzione fuori ordine delle istruzioni e una pipeline a più stadi nell'architettura progettata specificando cosa avviene in cicli successivi del segnale di temporizzazione. **La risposta deve essere possibilmente contenuta nello spazio che segue. SOLO PER QUESTO ESERCIZIO E' CONSENTITO UN EVENTUALE FOGLIO AGGIUNTIVO.**

2) (20%) Si supponga di voler progettare un linguaggio macchina con istruzioni a lunghezza fissa di 8 bit, in cui occorrono 2 bit per indirizzare ciascun operando e in cui si vuole utilizzare la tecnica dell'espansione dei codici operativi.

- A) Volendo avere 2 istruzioni a tre indirizzi, 12 a un indirizzo e 8 a zero indirizzi, quante istruzioni a due indirizzi è possibile avere al massimo?
- B) Mostrare schematicamente la corrispondente organizzazione dei codici operativi.
- C) Calcolare quante istruzioni a zero indirizzi è possibile avere al massimo con la scelta individuata al punto A mostrando schematicamente le relative codifiche.

**La risposta deve essere contenuta nello spazio che segue**

**3)** (20%) Scrivere un programma in linguaggio assembler 8088 che, dato una stringa **S** di caratteri di un byte memorizzata in memoria principale e terminata da un punto: (1) calcola il numero di caratteri della stringa mediante una subroutine **DIM** che ha come argomento l'indirizzo del primo elemento della stringa e (2) verifica se nella stringa compaiono **n** occorrenze del carattere **c** con una subroutine **TEST** che ha come argomenti: l'indirizzo del primo elemento della stringa, il valore di **n** e il carattere **c** (entrambi in memoria principale).

**La risposta deve essere contenuta nello spazio che segue**

**DOMANDE A RISPOSTA MULTIPLA (40%)** Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

- 4) Con riferimento ai linguaggi macchina, indicare se le seguenti affermazioni sono vere o false.
- A) Il linguaggio macchina del processore i7 è caratterizzato da istruzioni di lunghezza variabile.
  - B) L'indirizzamento a registro non richiede accessi a memoria.
  - C) L'indirizzamento SIB (Scale, Base, Index) dell'I7 viene generalmente utilizzato per operare su array.
  - D) Nell'indirizzamento indiretto a registro l'operando si trova in memoria principale.
  - E) L'indirizzamento indiretto a registro richiede meno bit dell'indirizzamento indiretto a memoria.
  - F) L'indirizzamento a stack richiede un supporto hardware da parte della CPU.
  - G) Nell'indirizzamento a registro richiede un precedente caricamento del dato in un registro.
  - H) Nel linguaggio macchina del processore i7 un operando è sempre un registro.
- 5) Con riferimento ai meccanismi di gestione delle cache, indicare se le seguenti affermazioni sono vere o false.
- A) Una *cache hit* in lettura può richiedere comunque l'accesso alla memoria.
  - B) Il numero di collisioni su una slot di cache diminuisce se diminuisce la dimensione della cache.
  - C) La politica di rimpiazzamento di linee LRU vale solo per cache a più vie.
  - D) È impossibile indirizzare da programma macchina una slot di cache.
  - E) Gli accessi ad array risultano tipicamente più efficienti se è presente una cache.
  - F) Il meccanismo di gestione *write through* è meno efficiente del meccanismo *write back*.
  - G) Nel caching la lunghezza del campo LINE di un indirizzo dipende dalla dimensione della cache.
  - H) In una cache a mappatura diretta non avvengono collisioni.
- 6) Si consideri una CPU che sa avviare 2 istruzioni per ciclo di clock e che richiede 2 cicli per completare somme e differenze e 3 cicli per completare divisioni e prodotti. Con riferimento al seguente programma macchina: (1)  $R9 = R4 * R1$ ; (2)  $R3 = R4 + R5$ ; (3)  $R2 = R6 / R3$ ; (4)  $R6 = R7 - R1$ ; indicare se le seguenti affermazioni sono vere o false.
- A) L'esecuzione con avvio e ritiro fuori ordine richiede 7 cicli di clock.
  - B) L'ordine di avvio delle istruzioni nell'esecuzione con avvio fuori ordine è (1)(2)(3)(4).
  - C) L'esecuzione fuori ordine del programma richiede un solo registro segreto.
  - D) L'ordine di ritiro delle istruzioni nell'esecuzione con ritiro fuori ordine è (2)(1)(4)(3).
  - E) Tra l'istruzione (1) e l'istruzione (2) non ci sono vincoli.
  - F) L'esecuzione con avvio e ritiro in ordine (senza registri segreti) richiede 10 cicli di clock.
  - G) L'esecuzione con avvio fuori ordine e ritiro in ordine richiede 9 cicli di clock.
  - H) L'avvio dell'istruzione (2) richiede l'uso di un registro segreto in una esecuzione fuori ordine.
- 7) Con riferimento alle tecniche di esecuzione di istruzioni in un CPU con pipeline, indicare se le seguenti affermazioni sono vere o false.
- A) L'esecuzione speculativa richiede una memoria dedicata.
  - B) La tavola di predizione dei salti contiene una riga per ogni istruzione del programma.
  - C) L'esecuzione speculativa e l'esecuzione fuori ordine possono essere combinate.
  - D) La predizione con due bit memorizza il comportamento delle ultime quattro esecuzioni di una istruzione di salto.
  - E) Le architetture che eseguono fuori ordine le istruzioni dispongono di unità dedicate allo scheduling delle istruzioni.
  - F) La tavola di predizione dei salti si memorizza in una memoria dedicata.
  - G) Nella predizione statica di salti si memorizza cosa è avvenuto nelle precedenti esecuzioni di una istruzione di salto.
  - H) È possibile fare predizioni di salto dinamico a livello di linguaggio macchina.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

**Compito Num. 2**