

Calcolatori Elettronici – I parte (CdL Ingegneria Informatica)
Esame del 27 settembre 2010 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) **1)** (30%) Si consideri una rappresentazione binaria in virgola mobile a 20 bit, di cui (nell'ordine da sinistra a destra) 1 bit per il segno (0=positivo), e per l'esponente, che è rappresentato in eccesso a 2^{e-1} , e i rimanenti bit per la parte frazionaria della mantissa m che normalizzata tra 1 e 2 ($1 \leq m < 2$).

- (A) Calcolare il valore di e che consente di rappresentare, con la massima precisione possibile, numeri compresi in valore assoluto tra 10^{-100} e 10^{100} ;
- (B) dato il numero n rappresentato nella notazione suddetta in virgola mobile dalla stringa esadecimale C173X (dove X è la cifra meno significativa non nulla del proprio numero di matricola), rappresentarlo: (1) in eccesso 2^{11} su 12 bit, (2) in complemento a 2 su 10 bit, (3) in complemento a 1 su 8 bit;
- (C) rappresentare il numero $k = n \times 2^{-30}$ nella notazione in virgola mobile suddetta;
- (D) calcolare l'errore assoluto che si commette per rappresentare il numero k e il suo ordine di grandezza decimale.

2) (20%) Fornire lo schema di un circuito combinatorio che implementa un moltiplicatore a 2 bit per numeri interi senza segno, realizzato con half-adder, full-adder e porte logiche. Tale circuito deve avere 4 linee di ingresso (X_1 e X_0 per il primo operando e Y_1 e Y_0 per il secondo) e 4 linee di uscita ($Z_3Z_2Z_1Z_0$ per il risultato). Specificare poi il valore di uscita di ciascuna componente quando il primo operando è il numerale 10 e il secondo il numerale 11.

3) (20%) Si consideri un bus di memoria per una CPU a 32 bit che lavora a 500Mhz e funziona in pipeline.

- A) individuare una ragionevole decomposizione di una transazione (trasferimento di dati tra CPU e memoria) facendo riferimento alle relative linee del BUS;
- B) indicare mediante un diagramma la temporizzazione dei segnali sul BUS secondo le scelte fatte al punto (A);
- C) dire in che cosa consiste il problema del bus skew e come è possibile ovviare a questo problema.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

4) Considerando una CPU con architettura RISC, 8 stati di pipeline e un clock di 2 Ghz e supponendo di lavorare in condizioni ideali (assenza di stalli), indicare se le seguenti affermazioni sono vere o false.

- A) Se la frequenza di clock scende a 1,5 Ghz il tempo di esecuzione di una istruzione aumenta.
- B) In condizioni ideali si completa a regime una istruzione ogni mezzo nsec.
- C) Il tempo di esecuzione di una istruzione è di 4 nsec.
- D) Se nella pipeline si elimina uno stadio il tempo di esecuzione di un'istruzione si riduce di mezzo nsec.
- E) Se nella pipeline si aggiunge uno stadio l'ampiezza di banda della CPU rimane la stessa.
- F) La latenza della CPU è di 4 nsec.
- G) Un programma di 5 istruzioni richiede 6 nsec per essere eseguito.
- H) L'ampiezza di banda della CPU è di 2000 MIPS.

5) Si consideri un'unità disco RAID di 200 GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB; indicare le affermazioni esatte tra le seguenti.

- A) In un RAID di livello 1 con 4 dischi, ogni disco è da 100GB.
- B) Il RAID di livello 2 lavora su bit invece che su strip.
- C) In un RAID di livello 4 con 5 dischi, ogni disco è da 100GB.
- D) In un RAID di livello 5 con 5 dischi, ogni disco è da 50GB.
- E) In un RAID di livello 1 ho bisogno di una capacità di memoria totale di 400GB.
- F) In un RAID di livello 5 con dischi da 50GB, ho bisogno di una capacità di memoria totale di 250GB.
- G) In un RAID di livello 3 se si rompe il disco di parità non è possibile recuperare i dati.
- H) In un RAID di livello 0 con 4 dischi, ogni disco è da 50GB.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Con riferimento alle architetture CISC e RISC indicare se le seguenti affermazioni sono vere o false.
- A) In ogni architettura CISC tutte le istruzioni macchina vengono eseguite in un solo ciclo di clock.
 - B) Il program counter contiene sempre degli indirizzi di memoria.
 - C) In ogni architettura RISC viene eseguita una istruzione macchina per ogni ciclo di clock.
 - D) Il livello della microprogrammazione esiste solo nella architetture CISC.
 - E) In una architettura RISC, modifiche al linguaggio macchina richiedono interventi all'architettura della CPU.
 - F) Il microprogramma è contenuto in una memoria di sola lettura interna al microprocessore.
 - G) In un architettura CISC a ciascuna istruzione macchina corrisponde in generale l'esecuzione di piu' microistruzioni.
 - H) Il microprogramma può essere modificato.
- 7) Con riferimento ai codici a rilevazione e correzione di errore, indicare se le seguenti affermazioni sono vere o false.
- A) La percentuale di bit di controllo in un codice a correzione di errore è inversamente proporzionale alla lunghezza complessiva della codifica.
 - B) Un errore su 3 bit su un codice con distanza di Hamming pari a 7 non può essere corretto.
 - C) Due codifiche di lunghezza n possono avere una distanza di Hamming pari a n .
 - D) Per rilevare $n + 1$ errori in una codifica occorre una distanza di Hamming pari a n .
 - E) Il bit di parità si può usare su codifiche di lunghezza qualunque.
 - F) Se un codice ha una distanza di Hamming pari a $n + 1$ possono correggere fino ad n errori.
 - G) Per poter correggere 10 errori di 1 bit in una codifica occorre una distanza di Hamming pari a 21.
 - H) L'introduzione del bit di parità in un codice di lunghezza n introduce una distanza di Hamming pari a 1.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]