

Calcolatori Elettronici – I parte (CdL Ingegneria Informatica)
Esame del 22 settembre 2011 – tempo a disposizione: 1 ora e 30 minuti

Compito Num. 1 COGNOME:.....NOME:.....

1) (20%) Si consideri una notazione binaria in virgola mobile a 16 bit, detta ALFA, di cui (nell'ordine da sinistra a destra) si usa 1 bit per il segno (0=positivo), 8 bit per l'esponente, che è rappresentato in eccesso a 128, ed i rimanenti 7 bit per la parte frazionaria della mantissa che è normalizzata tra 1 e 2 e di cui si rappresenta solo la parte frazionaria.

- A) Dato il numero n rappresentato eccesso 2^{19} dalla stringa esadecimale FF80X (dove X è l'ultima cifra del vostro numero di matricola) rappresentarlo nella notazione in virgola mobile ALFA e indicare l'eventuale errore assoluto che si commette;
- B) individuare, se esiste, una notazione in virgola mobile BETA a 14 bit che contenga l'intervallo di rappresentazione della notazione ALFA e che abbia la massima precisione possibile;
- C) indicare l'intervallo di rappresentazione della notazione BETA tenendo conto che le configurazioni dell'esponente composte da tutti 0 e da tutti 1 sono riservate;
- D) rappresentare il numero n citato nel punto A nella notazione in virgola mobile BETA e indicare l'eventuale errore assoluto che si commette.

2) (20%) Fornire lo schema di un circuito combinatorio per un complementatore a 4 bit. Tale circuito ha un segnale di controllo C , un ingresso a 4 bit, un'uscita a 4 bit e funziona come segue: ricevuto in ingresso un numero binario X , se $C = 0$ restituisce il complemento bit a bit di X , se invece $C = 1$ restituisce in uscita il numero $-(X)$ secondo il sistema di numerazione in complemento a due. È possibile utilizzare componenti di base quali half-adder e full-adder. Illustrare *concisamente* il funzionamento del circuito e specificare il valore di uscita di *ciascuna componente* quando l'ingresso si trova a 0110 e $C = 0$.

3) (20%) Un microprocessore a 8 bit deve comunicare mediante un bus parallelo con una RAM di 128B, una EPROM di 64B e, tramite una scheda PIO, con 3 dispositivi di I/O memory mapped.

- A) definire gli spazi di indirizzamento dei vari dispositivi a disposizione supponendo di poter utilizzare tutti gli 8 bit per specificare gli indirizzi;
- B) indicare come è possibile ottenere con porte logiche i corretti segnali di chip select a partire dalle linee del bus degli indirizzi;
- C) indicare come è possibile semplificare i circuiti determinati al punto B con una decodifica parziale degli indirizzi.

DOMANDE A RISPOSTA MULTIPLA (40%) Indicare **in fondo al foglio** se le seguenti affermazioni sono vere (con una croce su [V]) o false (con una croce su [F]).

4) Considerando una CPU con architettura RISC, 8 stati di pipeline e un clock di 2 Ghz e supponendo di lavorare in condizioni ideali (assenza di stalli), indicare se le seguenti affermazioni sono vere o false.

- A) Se la frequenza di clock scende a 1,5 Ghz il tempo di esecuzione di una istruzione aumenta.
- B) In condizioni ideali si completa a regime una istruzione ogni mezzo nsec.
- C) Il tempo di esecuzione di una istruzione è di 4 nsec.
- D) Se nella pipeline si eliminano uno stadio il tempo di esecuzione di un'istruzione si riduce di mezzo nsec.
- E) Se nella pipeline si aggiunge uno stadio l'ampiezza di banda della CPU rimane la stessa.
- F) La latenza della CPU è di 4 nsec.
- G) Un programma di 5 istruzioni richiede 6 nsec per essere eseguito.
- H) L'ampiezza di banda della CPU è di 2000 MIPS.

5) Si consideri un'unità disco RAID di 400 GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB; indicare le affermazioni esatte tra le seguenti.

- A) In un RAID di livello 1 con 4 dischi, ogni disco è da 200GB.
- B) Il RAID di livello 2 lavora su bit invece che su strip.
- C) In un RAID di livello 4 con 5 dischi, ogni disco è da 200GB.
- D) In un RAID di livello 5 con 5 dischi, ogni disco è da 100GB.
- E) In un RAID di livello 1 ho bisogno di una capacità di memoria totale di 800GB.
- F) In un RAID di livello 5 con dischi da 100GB, ho bisogno di una capacità di memoria totale di 500GB.
- G) In un RAID di livello 3 se si rompe il disco di parità non è possibile recuperare i dati.
- H) In un RAID di livello 0 con 4 dischi, ogni disco è da 100GB.

Risposte domanda 4 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 5 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Nota bene: continua sul retro del foglio

Compito Num. 1

- 6) Si consideri un bus sincrono che lavora a 50 Mhz con linee separate per dati e indirizzi dotato dei segnali di controllo MREQ, RD e WAIT e una memoria con un tempo di risposta di 40nsec dal momento in cui gli indirizzi sono stabili; indicare se le seguenti affermazioni sono vere o false.
- A) In condizioni ideali, i dati saranno disponibili presso il master dopo 50nsec.
 - B) Complessivamente, una transazione di lettura dura 50nsec.
 - C) In condizioni ideali, per garantire una lettura in memoria, il segnale di WAIT deve rimanere asserito per 1 periodo di clock.
 - D) In condizioni ideali, se si usa una memoria con un tempo di risposta di 25nsec, non è necessario asserire WAIT.
 - E) Il bus PCI Express è sincrono.
 - F) In condizioni ideali, se la frequenza si raddoppia, i dati saranno disponibili presso il master dopo 45nsec.
 - G) In condizioni ideali, se la frequenza si dimezza, i dati saranno disponibili presso il master dopo 60nsec.
 - H) Una transizione di lettura da una memoria con un tempo di risposta di 65nsec dura 80nsec.
- 7) Con riferimento ai codici a rilevazione e correzione di errore, indicare se le seguenti affermazioni sono vere o false.
- A) Il numero di bit di controllo in un codice a correzione di errore singolo aumenta con la lunghezza complessiva della codifica.
 - B) Un errore su 3 bit per un codice con distanza di Hamming pari a 5 non può essere corretto.
 - C) Se due codifiche hanno una distanza di Hamming pari a 3 allora sono necessari 3 errori di un bit per convertire una codifica nell'altra.
 - D) Per essere in grado di rilevare 4 errori di 1 bit in un codice occorre una distanza di Hamming pari a 5.
 - E) In un codice con bit di parità si può rilevare anche un errore commesso sul bit di parità.
 - F) Due codifiche di un codice con distanza di Hamming pari a n possono trovarsi a distanza di Hamming maggiore di n .
 - G) Per poter correggere 5 errori di 1 bit in una codice occorre una distanza di Hamming pari a 11.
 - H) L'inserimento di 1 bit di controllo introduce in qualsiasi codice una distanza di Hamming pari a 2.

Risposte domanda 6 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]

Risposte domanda 7 = A:[V][F] B:[V][F] C:[V][F] D:[V][F] E:[V][F] F:[V][F] G:[V][F] H:[V][F]